

运算放大器稳定性系列

第 10 部分（共 15 部分）：电容性负载的稳定性——具有双通道反馈的 RISO

作者：德州仪器 (TI) 线性应用工程经理 Tim Green

本系列的第 10 部分是我们所熟悉的《电气工程》杂志 (Electrical Engineering) 中《保持电容性负载稳定的六种方法》栏目的第六种方法（也是最后一种方法）。这六种方法包括 Riso、高增益和 CF、噪声增益和 CF、输出引脚补偿以及具有双通道反馈的 RISO。在第 10 部分中，我们将阐述具有双通道反馈的 RISO。

这种拓扑结构通常用于缓冲高精度参考集成电路。作为一种电压缓冲器，运算放大器电路可提供较高的源电流和吸收电流，这两种电流最初均来自高精度参考集成电路。虽然，我们特别关注其中一种电路增益——电压跟随器电路增益，但是，当增益大于 1 时（只对所提供的计算公式做稍微调整），我们仍可以采用具有双通道反馈的 RISO。在此我们将重点讲述两种最主要的运算放大器拓扑结构，即双极发射极跟随器以及 CMOS RRO。分析和合成的步骤和技术相类似，但是，仍存在细微的差别，这些细微的差别足以确保观察到各种不同的输出拓扑结构。为了获得一种意外的收获，我们有意不遵循经以往的历史经验，并创建 BIG NOT 以检测不适当稳定性补偿的效果。

从稳定性分析工具套件中，我们可以看到，具有双通道反馈的 RISO 技术由一阶分析得出，经 Tina SPICE 环路稳定性仿真确认，并由 Tina SPICE 中的 Vout/Vin AC 传输函数分析进行检验，最后采用 Tina SPICE 中的实际瞬态稳定性测试方法进行全面的检验。在过去长达 25 年中，我们在真实环境以及实际的电路情况下进行了测算，充分验证了这种电容稳定性技术。然而，由于资源的限制，本文所述电路并未进行实际构建，在此仅供读者练习或在自身特定的技术应用（如分析、合成、仿真、构建以及测试等）中使用。

双极发射极跟随器：具有双通道反馈的 RISO

我们选择用于分析具有双通道反馈的 RISO 的双极发射极跟随器为 OPA177，具体情况请参阅图 10.1。OPA177 为一款低漂移、低输入失调电压运算放大器，其能在 $\pm 3V \sim \pm 15V$ 的电压范围内工作。

OPA177 Precision Operational Amplifier	
Parameter	Specification
Supply Voltage	+/-3V to +/-15V
Quiescent Current	1.3mA typical
Offset Voltage	10uV typical
Offset Drift	0.1uV/C typical
Input Bias Current	+/-0.5nA typical
Input Voltage Noise	85nVrms (1Hz to 100Hz)
Input Voltage Range	(V-)+2V to (V+)-2V
Gain-Bandwidth Product	600kHz
Open Loop Gain	140dB
Open Loop Output Resistance	60 ohms
Slew Rate	0.3V/us
Voltage Output Swing from Rail	2V typical (RL=2k)
Package	DIP-8, SO-8

图 10.1 双极发射极跟随器运算放大器的技术规范

图 10.2 显示了一款典型的双极发射极跟随器的拓扑结构。请注意，用于 V_o 的正负输出驱动均为双极发射极跟随器。目前，包含“等效电路图”（表明运算放大器内部所用输出级的拓扑结构）的产品说明书并不多见。为此，只能通过厂商的内部资料，我们才能确切了解输出级的结构。

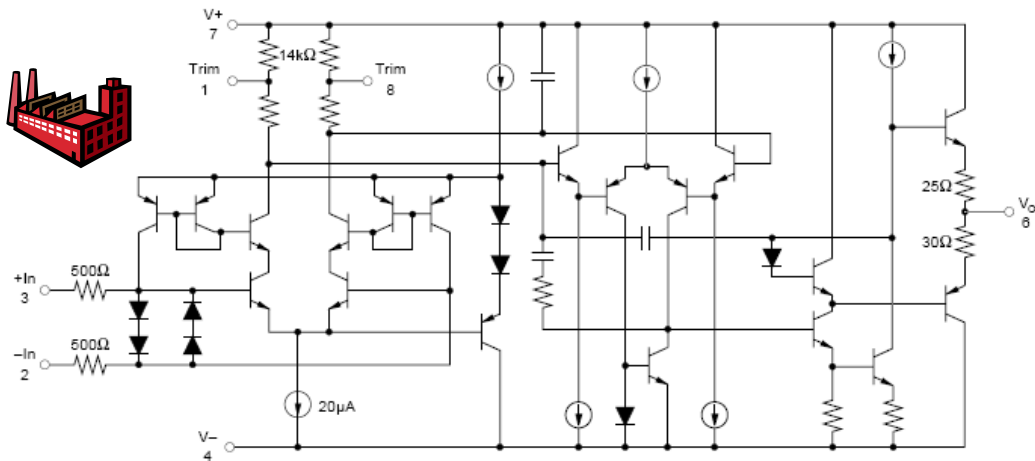
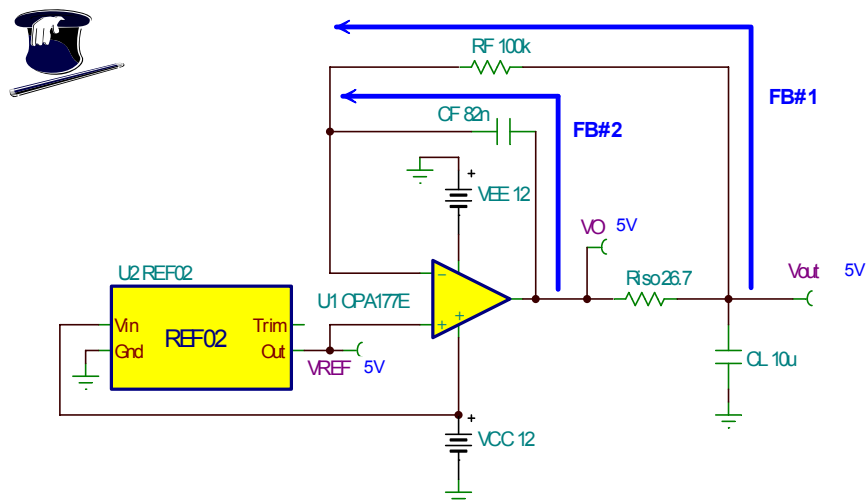


图 10.2 典型双极发射极跟随器运算放大器的拓扑结构

我们用于分析双极发射极跟随器的具有双通道反馈的 RISO 电路如图 10.3 所示。FB#1 通过 RF 直接向负载 (CL) 提供反馈，从而促使 V_{out} 与 V_{REF} 相等。FB#2 通过 CF 提供了第二条反馈通道（在高频率时占支配地位），从而确保了运行的稳定性。Riso 将 FB#1 和 FB#2 相互之间隔离开来。需要注意的是，在目前用于稳定电容性负载的许多技术中，我们采用了经改进的 Aol 方法（当采用这种方法时，运算放大器的输出阻抗和电容性负载改变了运算放大器的 Aol 曲线）。在改变后的 Aol 曲线中，我们在图上标出 $1/\beta$ ，这将有助于电路的稳定运行。当采用具有双通道反馈的 RISO 时，我们发现，更易于维持运算放大器 Aol 曲线不变并在图上标出 FB#1 $1/\beta$ 和 FB#2 $1/\beta$ 曲线。于是，我们将运用叠加的方法，来获得一条最终 (net) 的 $1/B\epsilon\alpha$ 曲线，这样，当在运算放大器的 Aol 曲线上进行标绘时，我们就能够轻松地生成一款针对这种电容性负载稳定性问题的解决方案。



Dual Feedback:
 FB#1 through RF forces accurate Vout across CL
 FB#2 through CF dominates at high frequency for stability
 Riso provides isolation between FB#1 and FB#2

图 10.3 具有双通道反馈的 RISO: 发射极跟随器

一旦我们选择了运算放大器，如图 10.4 所示的 Aol 测试电路就为开展稳定性分析提供了前提基础。Aol 曲线可从产品说明书中获取，或者从如图所示的 Tina SPICE 仿真中测量得出。Aol 测试电路采用双电源供电，即使 Vout 近乎为零伏，我们仍可测量空载时的 Aol 曲线，而且输入共模电压的要求易于满足。R2 和 R1 以及 LT 为低通滤波器函数提供了一条 AC 通道，从而允许我们在反馈通道中进行 DC 短路和 AC 开路操作。务必提请注意的是，在进行 AC 分析前，SPICE 必须开展 DC 闭环分析，以找到电路的工作点。另外，R2 和 R1 以及 CT 为高通滤波器函数提供了一条 AC 通道，这样，使得我们能将 DC 开路和 AC 短路一起并入输入端。LT 和 CT 按大数值等级选用，以确保其在各种相关的 AC 频率时，电路短路和开路情况下的正常运行。

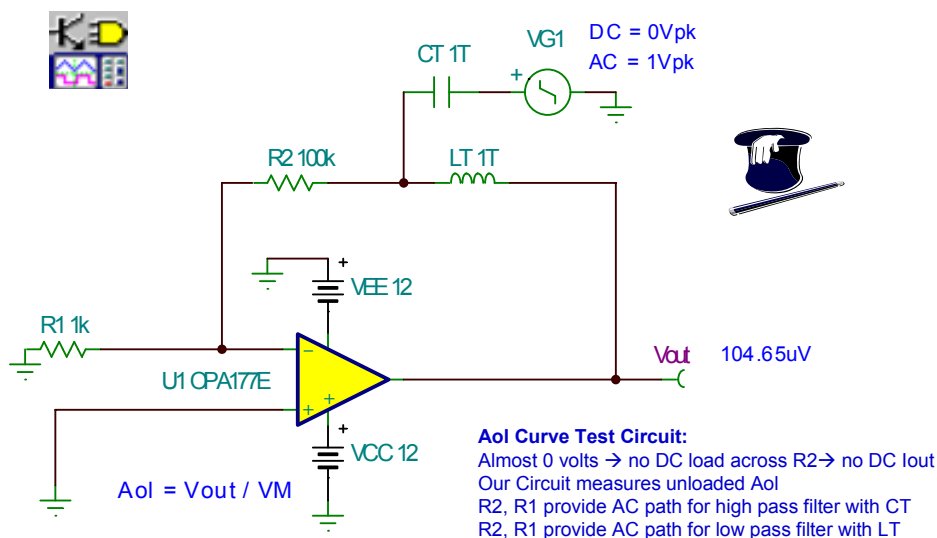


图 10.4 Aol 测试示意图: 发射极跟随器

从 Tina SPICE 仿真测量得出的 OPA177 Aol 曲线如图 10.5 所示。测量得出的单位增益带宽为 607.2kHz。

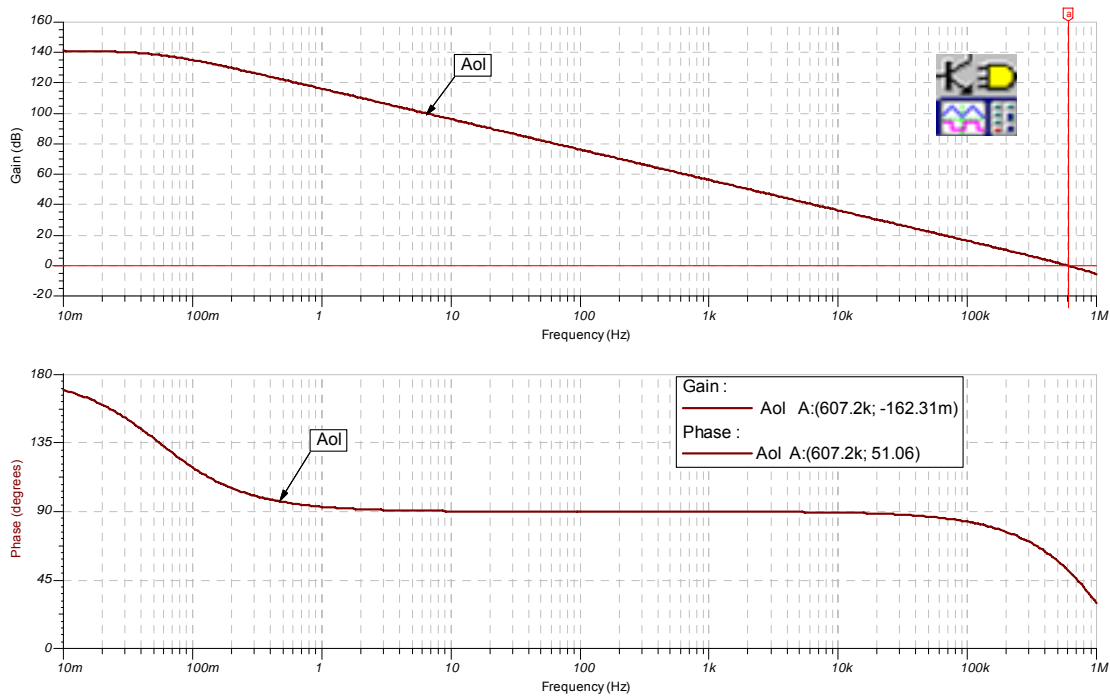


图 10.5 Aol 测试结果：发射极跟随器

现在，我们必须测量如图 10.6 所示的 Z_o （小信号 AC 开环输出阻抗）。该 Tina SPICE 测试电路将测试空载 OPA177 的 Z_o 。R2 和 R1 以及 LT 为低通滤波器函数提供了一条 AC 通道，这样，使得我们能将 DC 短路和 AC 开路一起并入反馈电路。DC 工作点在输出端显示为接近零伏，这也就是说，OPA177 没有电流流入或流出。此时，通过运用 1Apk AC 电流生成器（我们能够扫视 10mHz 至 1MHz 的 AC 频率范围）， Z_o 的测量工作就可以轻松完成。最后，得出测量结果 $Z_o = V_{out}$ （如果将测量结果的单位从 dB 转换为线性或对数，那么 V_{out} 也将为以欧姆为单位的 Z_o ）。

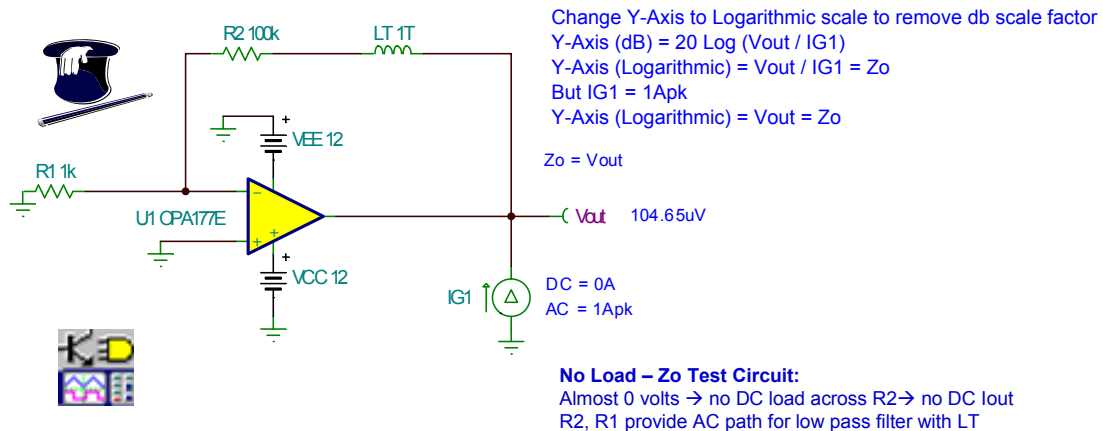


图 10.6 空载 Z_o 测试电路：发射极跟随器

从图 10.7 中，我们可以看出，OPA177 Z_o 是双极发射极跟随器输出级所独有的特征，而且这种输出级的 R_o 在 OPA177 单位增益带宽之内，是控制输出阻抗的专门组件。OPA177 的 R_o 为 60 欧姆。

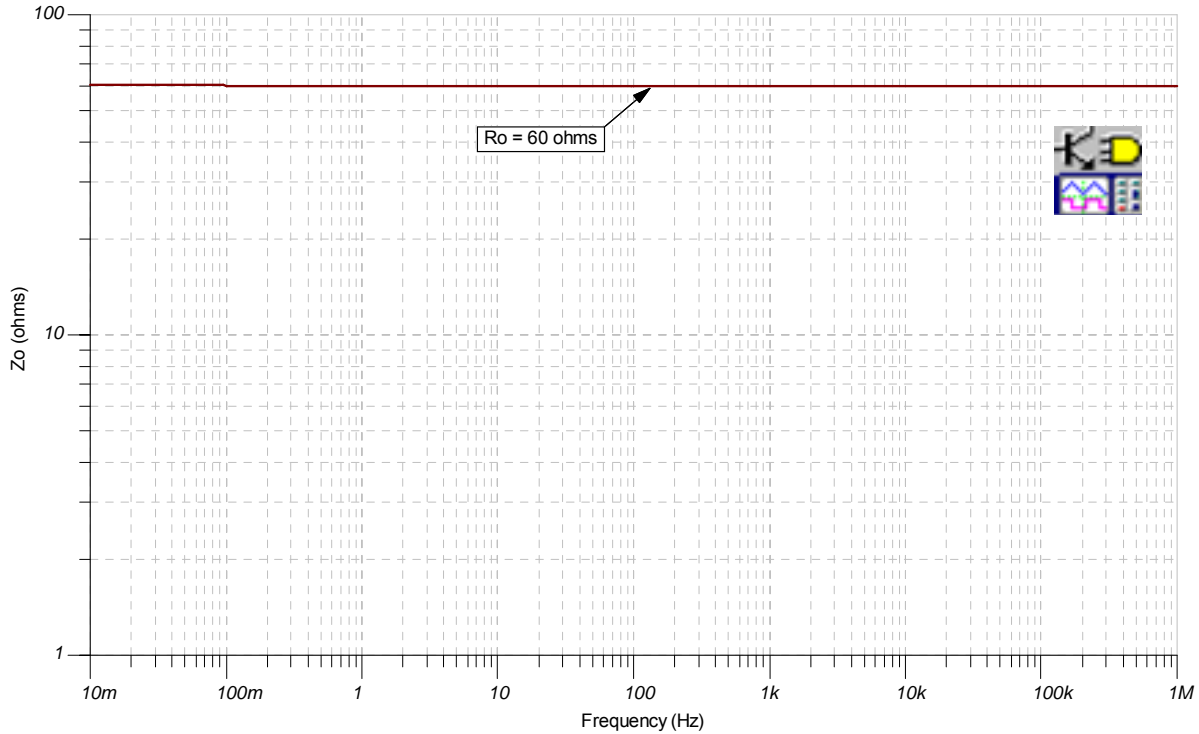
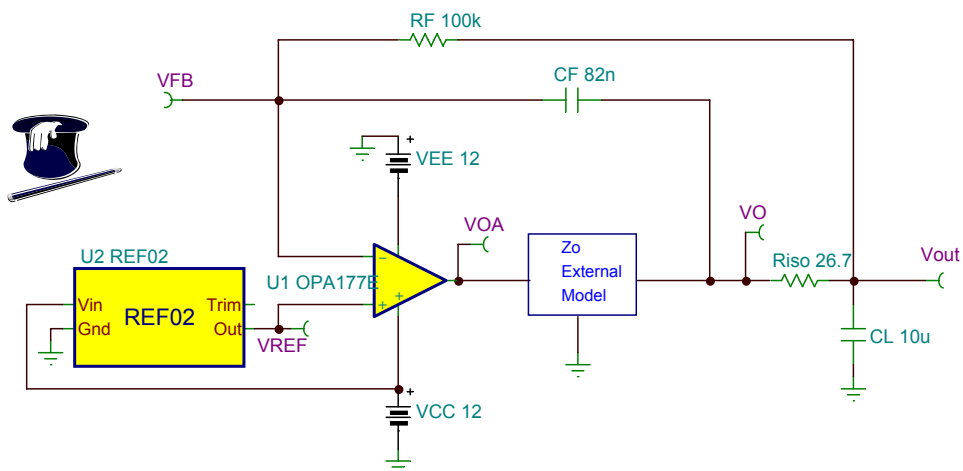


图 10.7 开环输出阻抗：发射极跟随器



Zo External Model:

U1 is complete SPICE macromodel of OPA177 with data sheet Aol curve and Z_o
 Z_o is moved outside of the op amp macromodel to form a new macromodel
Allows for simulation of $1/\beta$ with effects of Z_o and external loads

图 10.8 Z_o 外部模型：发射极跟随器

为了使 $1/\beta$ 分析的情况包括在 Z_o 与 R_{iso} 、 CL 、 CF 以及 RF 之间相互作用的影响结果内，我们需将 Z_o 从运算放大器的宏模型中分离出来，以便于弄清楚电路中所需的节点。这种构思如图 10.8 所示。U1 将提供了产品说明书中的 A_{ol} 曲线，并从 R_{iso} 、 CL 、 CF 以及 RF 的各种影响中得到缓冲。

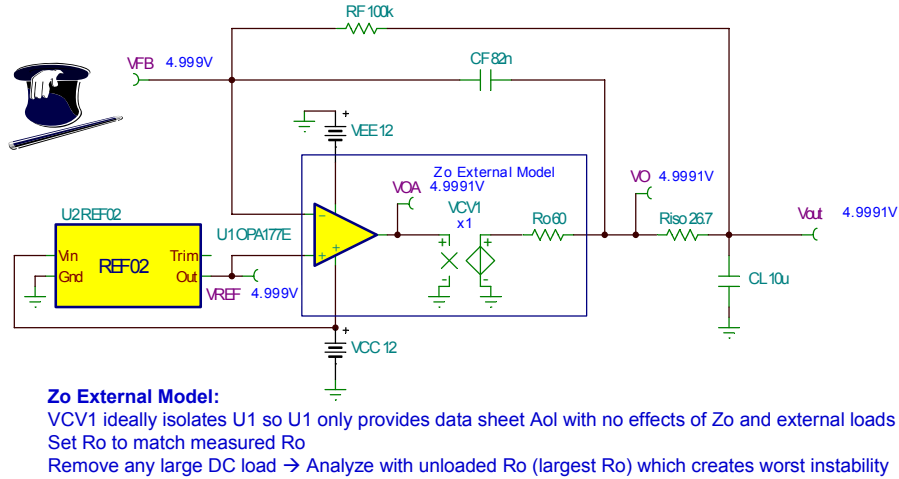


图 10.9 Z_o 外部模型详图：发射极跟随器

通过如图 10.9 所示的 Z_o 外部模型，我们能够测量 Z_o 与 R_{iso} 、 CL 、 RF 以及 CF 之间相互作用对 $1/\beta$ 的影响。在 Z_o 外部模型中，设置 $R_o = R_o \text{ OPA177}$ ，实际测量值为 60 欧姆。压控电压源 VCV1 将运算放大器宏模型 U1 从 R_o 、 R_{iso} 、 CL 、 CF 以及 RF 中隔离开来。将 VCV1 设置为 x1，以确保产品说明书中的 A_{ol} 增益不变。由于我们要在稳定性状况最糟的情况下（只存在 CL 以及我们计算得出的空载 Z_o [此时 $R_o=60$ 欧姆]）分析这种电路，因此，务必排除各种大的 DC 负载。VOA 是一个与运算放大器相连的内部节点，在实际工作中，我们无法实现对这种节点的测量。同时，许多 SPICE 宏模型上的这种内部节点接入，也并非易事。对 $1/\beta$ 进行分析（相对于 VOA），已涵盖了 R_o 、 R_{iso} 、 CL 、 CF 以及 RF 的影响。如果未采用 Z_o 外部模型，SPICE 中的最终稳定性仿真就无法标绘出 $1/\beta$ 的曲线；但是，如果采用 Z_o 外部模型，则可标绘出环路增益的曲线以确认我们分析的正确性。

首先，我们要分析如图 10.10 所示的 FB#1。请注意，由于我们只分析 FB#1，所以 CF 可视为处于开路状态。接下来，我们将分析 FB#2。然后，通过采用叠加的方法，将两条反馈通道合并在一起，求取最终的 $1/\beta$ 。分析结果如图上所示，有关的公式推导和具体细节，请参阅下一张图（图 10.11）。我们发现，当 $f_{zx}=183.57\text{Hz}$ 时，FB#1 $1/\beta$ 曲线的增益为零。低频 $1/\beta$ 值为 1。如欲获得该增益，那么低频 $1/\beta$ 值应大于 1。

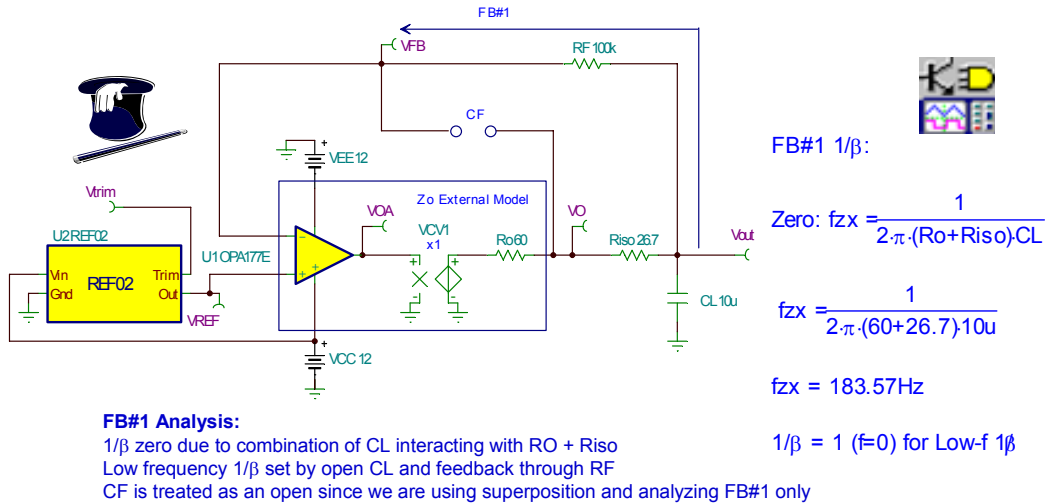


图 10.10 FB#1 分析：发射极跟随器

<p>FB#1 β Derivation:</p> $\beta = \frac{V_{FB}}{V_{OA}}$ $\beta = \frac{X_{CL}}{R_O + R_{iso} + X_{CL}}$ $\beta = \frac{\frac{1}{SCL}}{R_O + R_{iso} + \frac{1}{SCL}}$ $\beta = \frac{1}{(R_O + R_{iso})SCL + 1}$ $\beta = \frac{1}{S + \frac{1}{(R_O + R_{iso})CL}}$ $\text{Pole: } f_{px} = \frac{1}{2\pi \cdot (R_O + R_{iso}) \cdot CL}$ $\beta = 1 \text{ (} f=0 \text{) for Low-} f \text{ } \beta$		<p>FB#1 $1/\beta$ Derivation:</p> $1/\beta = \frac{V_{OA}}{V_{FB}}$ $1/\beta = \frac{R_O + R_{iso} + X_{CL}}{X_{CL}}$ $1/\beta = \frac{R_O + R_{iso} + \frac{1}{SCL}}{\frac{1}{SCL}}$ $1/\beta = \frac{(R_O + R_{iso})SCL + 1}{1}$ $1/\beta = \frac{S + \frac{1}{(R_O + R_{iso})CL}}{\frac{1}{(R_O + R_{iso})CL}}$ $\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot (R_O + R_{iso}) \cdot CL}$ $1/\beta = 1 \text{ (} f=0 \text{) for Low-} f \text{ } 1/\beta$
--	--	--

图 10.11 FB#1 $1/\beta$ 公式的推导：发射极跟随器

FB#1 β 的公式推导如图 10.11 左侧所示。由于 $1/\beta$ 是 β 的倒数，所以 FB#1 $1/\beta$ 的计算结果可以轻而易举的被推导出来，具体推导过程，请参阅图 10.11 右侧。从图中我们还发现，在 β 推导过程中的 pole, f_{px} 变成了 $1/\beta$ 推导过程中的 zero, f_{zx} 。

我们将采用如图 10.12 所示的电路来开展 AC 分析：通过 Tina SPICE，求取 FB#1 的 $1/\beta$ ，OPA177 的 A_{oi} 以及只采用 FB#1 电路的环路增益。正因为如此，所以我们将 CF 从图中除去。

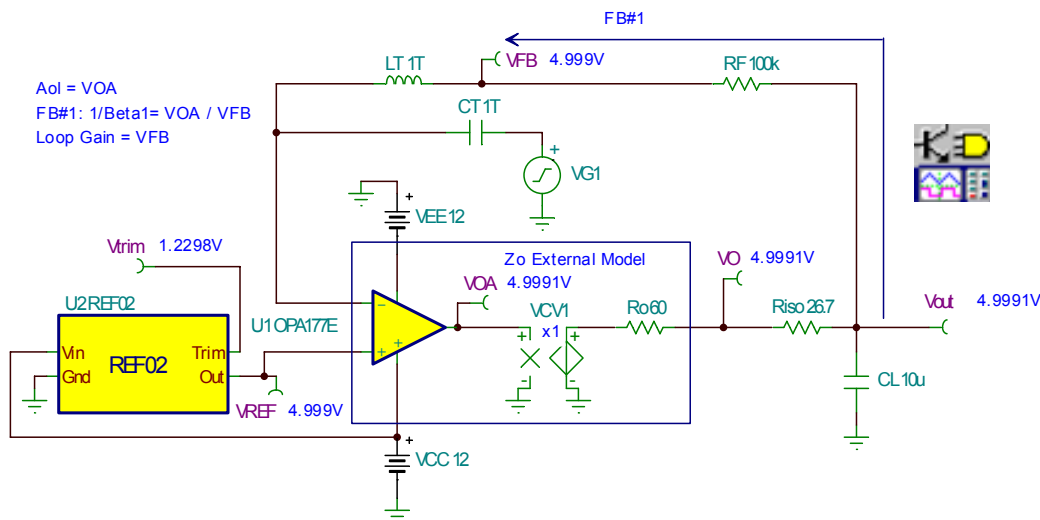


图 10.12 FB#1 AC 电路分析：发射极跟随器

FB#1 $1/\beta$ 的结果标示在图 10.13 中的 OPA177 Aol 曲线上。在环路增益为零的 fcl 处，我们发现，接近速率为 40dB/decade:

$$[(\text{Aol 曲线上的 } -20\text{dB/decade}) - (\text{FB\#1 } 1/\beta \text{ 曲线上的 } +20\text{dB/decade})] = -40\text{dB/decade 接近速率}]$$

接近速率的经验数据表明了存在的不稳定性。我们对 FB#1 的分析是基于 zero、fzx = 183.57Hz，低频 $1/\beta = 1$ 的情况。从图 10.13 中可以看出，我们的一阶分析准确地推算出了 FB#1 $1/\beta$ 的数值。

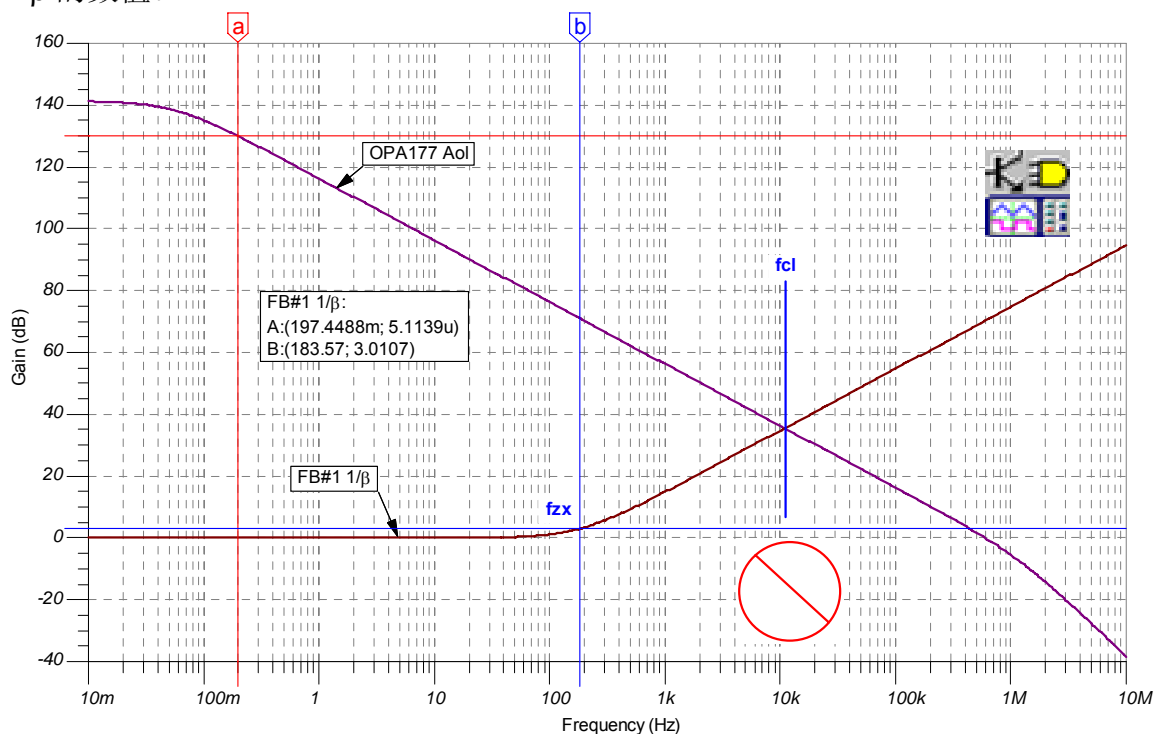


图 10.13 FB#1 $1/\beta$ 曲线图：发射极跟随器

从图 10.14 中我们发现，只配置 FB#1 的电路环路增益分析显示，在环路增益为零的 fcl 处，相位裕度接近零。这样，就明确证实了电路的不稳定性。通过检测图 10.13 中 Aol 曲线上的 FB#1 $1/\beta$ 曲线，可推算出环路增益曲线上的极点和零点。

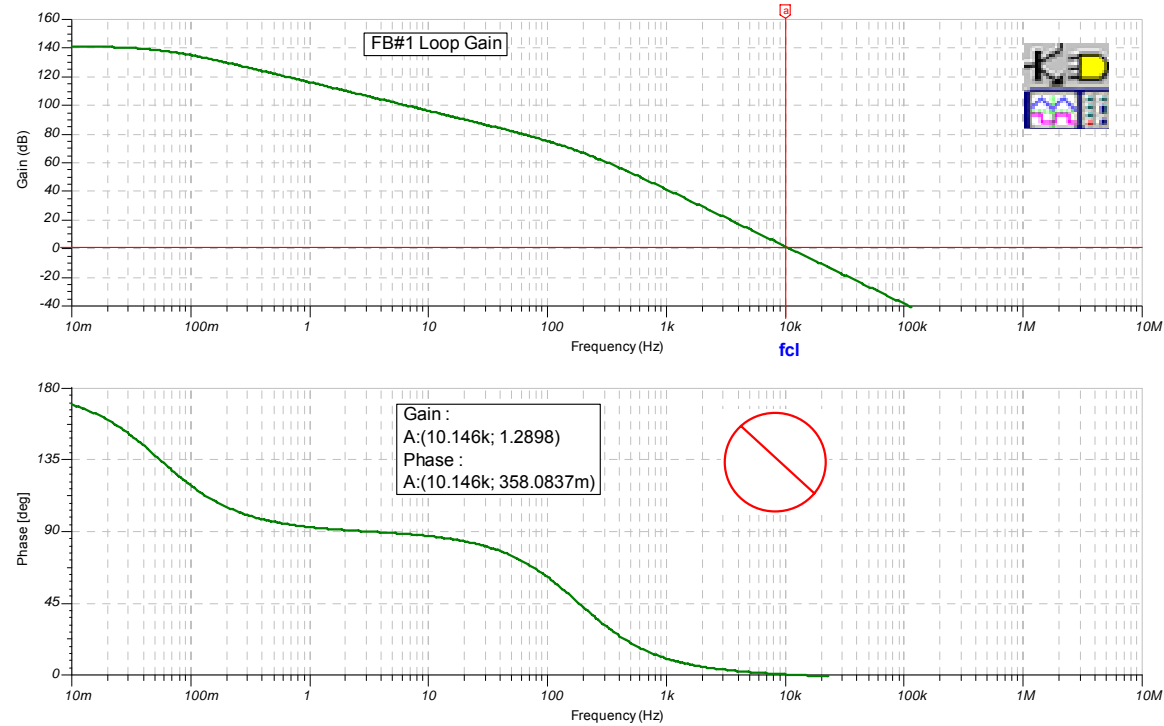


图 10.14 FB#1 环路增益分析：发射极跟随器

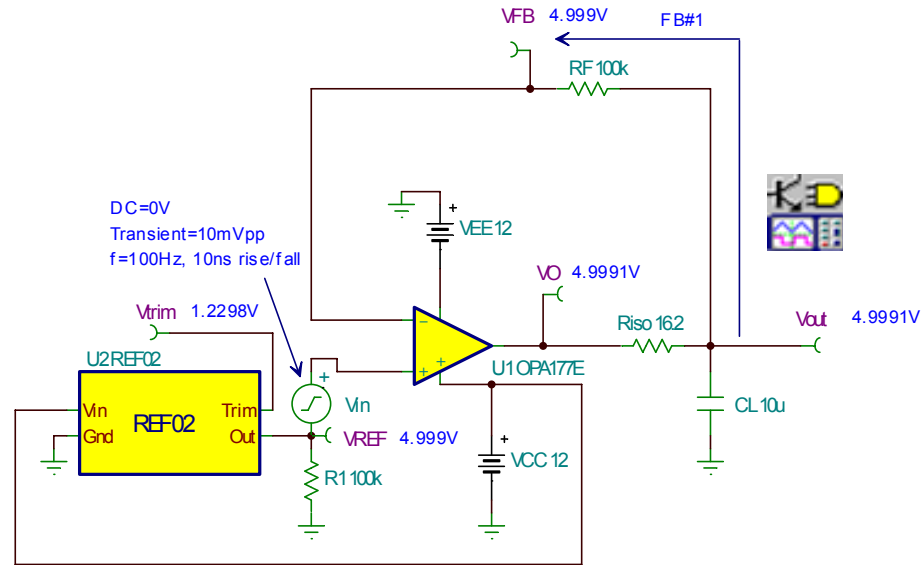


图 10.15 FB#1 瞬态稳定性测试电路：发射极跟随器

如果我们有任何疑问，或如果只采用 FB#1 构建参考缓冲电路，此时，我们可运用如图 10.15 中的电路，进行实际的瞬态稳定性测试。

图 10.16 中的瞬态稳定性测试结果同时与 A_{ol} 曲线上的 $1/\beta$ 值和环路增益曲线一致，因此，证明了只采用 FB#1 构建参考缓冲电路，将导致电路运行的不稳定性。

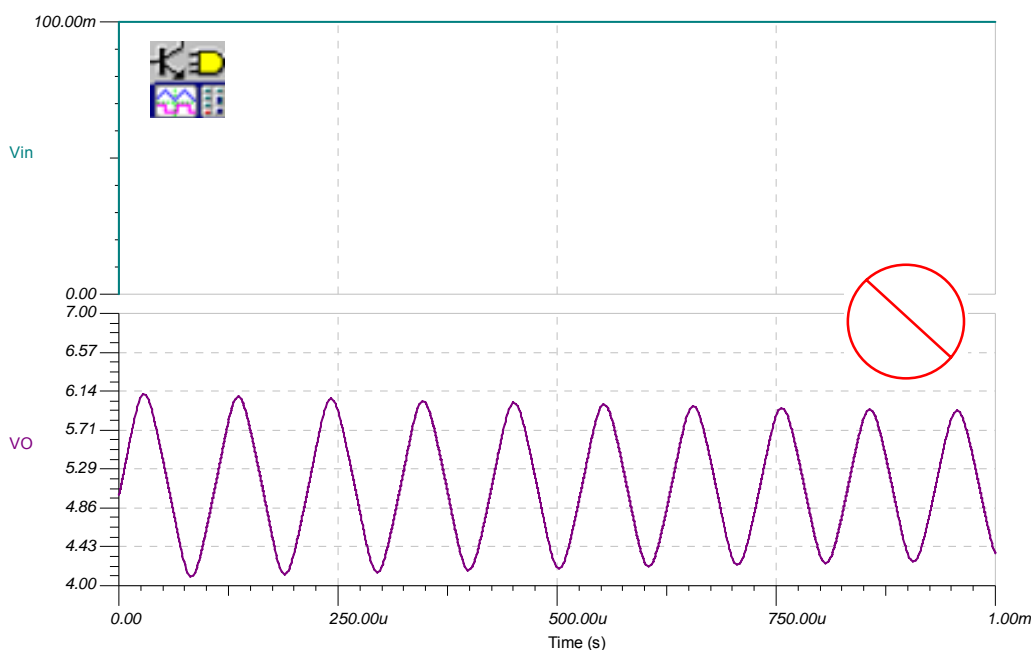


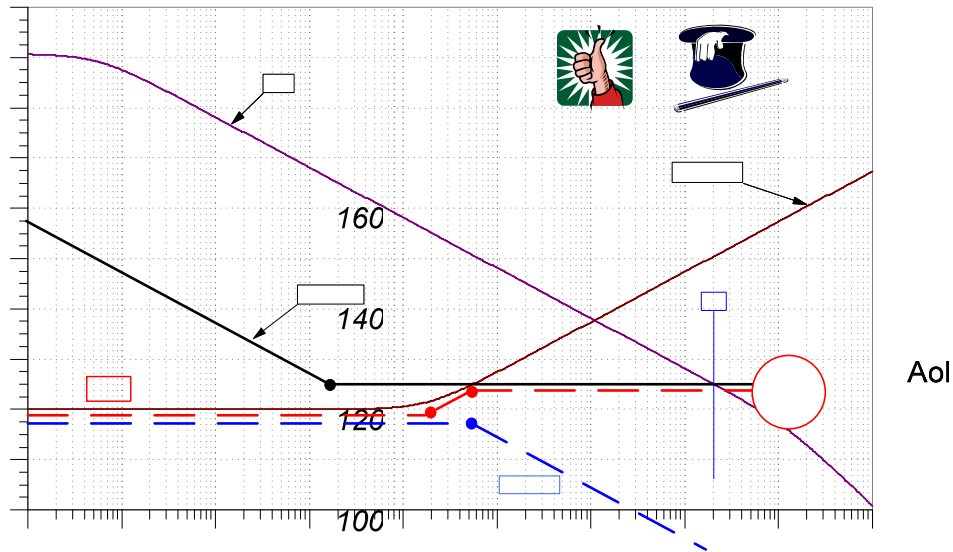
图 10.16 FB#1 瞬态稳定性测试：发射极跟随器

现在，我们必须弄清楚如何生成一款解决方案，以保证电容性负载参考缓冲电路的稳定性。此时，我们进一步了解了如图 10.17 所示的 A_{ol} 曲线和 FB#1 $1/\beta$ 曲线。如果我们添加如图 10.17 所示的 FB#2 $1/\beta$ 曲线，我们则会看到一条最终的 $1/\beta$ 曲线，这样，根据 f_{cl} 处的接近速率以往的稳定性经验，我们可以推断电路的运行也将是稳定的。

另外，我们将促使 f_{pc} 低于 $1/\beta$ 曲线中的 f_{zx} 一个 decade，以确保当频率低于 f_{cl} 时，相位裕度优于 45 度。上述工作通过调整 $1/\beta$ FB#2 的高频部分，使其比 FB#1 低频 $1/\beta$ 高出 +10dB。然后，设置 f_{za} ，使其至少低于 f_{pc} 一个 decade，以确保当实际应用中进行参数变化时，能够避免 BIG NOT。通过观察，我们发现，最终的 $1/\beta$ 曲线是在 FB#1 $1/\beta$ 曲线和 FB#2 $1/\beta$ 曲线中选择最小数值的 $1/\beta$ 通道而形成的。

务必请记住，在双反馈通道中，从运算放大器输出端至负极输入端的最大电压反馈将主导着整个反馈电路。最大的反馈电压意味着 β 值最大或者是 $1/\beta$ 值最小。图 10.18 向我们展示了这种关键的推算技巧。

最后，在 FB#2 取得支配地位之前，预计 V_{out}/V_{in} 的传输函数将随着 FB#1 的变化而变化。此时， V_{out}/V_{in} 将会衰减至 -20dB/decade，直至 FB#2 与 A_{ol} 曲线相交，然后，将随着 A_{ol} 曲线下降。



Adding FB#2 for Stability:

Set FB#2 High-f $1/\beta = +10\text{dB}$ greater than FB#1 Low-f $1/\beta$: best phase margin within loop gain bandwidth

Set f_{za} in FB#2 $1/\beta = 0.1f_{zx}$ in FB#1 $1/\beta$

图 10.17 图解分析：发射极跟随器

Question:

How will the two feedbacks combine?

Answer:

The largest β (smallest $1/\beta$) will dominate!



Gain (dB)

80

60

40

20

0

-20

-40

10m

100m

1

10

100

Freq

$1/\beta$ FB#2

f_{za}

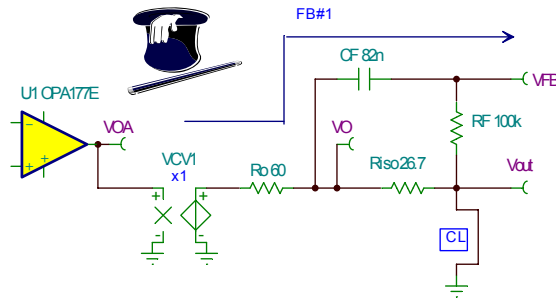
f_{zx}

图 10.18：双通道反馈、叠加以及 $1/\beta$ ：发射极跟随器

图 10.18 告诉我们，当整个运算放大器电路采用双通道反馈电路时，最大的 β 值电路将居支配地位。一个很明显的例子就是，如果有两个人对着您的同一只耳朵讲话，您会更易于听到哪个人的讲话？当然是嗓门最大的那个人！同样的道理，运算放大器也将会“听到” β 值最大或 $1/\beta$ 值最小的反馈电路。运算放大器察觉到最终的 $1/\beta$ 曲线将是在各种 FB#1 $1/\beta$ 或 FB#2 $1/\beta$ 频率时，频率较低的那一条曲线。

如图 10.19 所示，里面会有一些主要的假设。我们将这些假设运用于几乎所有的具有双通道反馈的 RISO 电路中。首先，我们假设 $CL > 10 \cdot CF$ ，这也就是说，在高频率时，CL 早在 CF 短

路前短路。因此，我们将短路 CL 以排除 FB#1，从而便于单独分析 FB#2。另外，我们假设 $RF > 10 \cdot R_{iso}$ ，这意味着作为 R_{iso} 的负载，该 RF 几乎完全失效。从图 10.19 和图 10.20 中具体的公式推导，我们可以看出，当 zero, $f_{za} = 19.41\text{Hz}$ （由 RF 和 CF 产生）时，FB#2 在原点拥有一个极点。由于在高频时， CF 和 CL 同时处于短路状态，所以 FB#2 高频 $1/\beta$ 部分即为 $R_o + R_{iso}$ 与 R_{iso} 之间的比值。FB#2 $1/\beta$ 的公式推导请参阅下一张图（图 10.20），有关计算结果请参阅下图。FB#2 高频 $1/\beta$ 设置为 3.25dB 或 10.24dB、原点拥有一个极点以及当频率为 19.41Hz 时的零点。



FB#2 Analysis:

1/β pole at the origin
1/β zero set by RF and CF
High-f 1/β set by RO and Riso
CL = zero since we are using superposition and only analyzing FB#2

Assume:

CL > 10CF
RF > 10Riso

$$\beta = \frac{V_{FB}}{V_{OA}}$$

$$1/\beta = \frac{V_{OA}}{V_{FB}}$$

High Frequency β:

CL = short

By Inspection:

$$1/\beta = \frac{R_o + R_{iso}}{R_{iso}} \text{ for High-f } 1/\beta$$

$$1/\beta = \frac{60 + 26.7}{26.7} \text{ for High-f } 1/\beta$$

$$1/\beta = 3.25 \text{ or } 10.24\text{dB for High-f } 1/\beta$$



FB#2 1/β Calculation:

Pole: At Origin

$$\text{Zero: } \frac{1}{2\pi \cdot RF \cdot CF}$$

$$\text{Zero: } \frac{1}{2\pi \cdot 100k \cdot 82nF}$$

$$\text{Zero: } f_{za} = 19.41\text{Hz}$$

图 10.19 FB#2 分析：发射极跟随器

FB#2 β Derivation:

FB#2 β Calculation:

$$V_{FB} = \frac{V_{OA} \cdot RF}{X_{CF} + RF}$$

$$\frac{V_{FB}}{V_{OA}} = \frac{RF}{RF + \frac{1}{SCF}}$$

$$\frac{V_{FB}}{V_{OA}} = \frac{SCF \cdot RF}{SCF \cdot RF + 1}$$

$$\frac{V_{FB}}{V_{OA}} = \frac{S}{1 + S \cdot CF \cdot RF}$$

This Implies:

Zero: At Origin

$$\text{Pole: } f_{pa} = \frac{1}{2\pi \cdot RF \cdot CF}$$

Assume:

CL > 10CF

RF > 10Riso

$$\beta = \frac{V_{FB}}{V_{OA}}$$

$$1/\beta = \frac{V_{OA}}{V_{FB}}$$

High Frequency β:

CL = short

By Inspection:

$$\beta = \frac{R_{iso}}{R_o + R_{iso}} \text{ } \beta \text{ High-f}$$

$$1/\beta = \frac{R_o + R_{iso}}{R_{iso}} \text{ } 1/\beta \text{ High-f}$$



FB#2 1/β Derivation:

FB#2 1/β Calculation:

$$V_{FB} = \frac{V_{OA} \cdot RF}{X_{CF} + RF}$$

$$\frac{V_{OA}}{V_{FB}} = \frac{RF + \frac{1}{SCF}}{RF}$$

$$\frac{V_{OA}}{V_{FB}} = \frac{SCF \cdot RF + 1}{SCF \cdot RF}$$

$$\frac{V_{OA}}{V_{FB}} = \frac{1}{\frac{S + CF \cdot RF}{S}}$$

This Implies:

Pole: At Origin

$$\text{Zero: } f_{za} = \frac{1}{2\pi \cdot RF \cdot CF}$$

图 10.20 FB#2 $1/\beta$ 公式推导：发射极跟随器

FB#2 β 的公式推导如图 10.20 左侧所示。由于 $1/\beta$ 是 β 的倒数，所以 FB#1 $1/\beta$ 的计算结果可以轻而易举的被推导出来，具体推导过程请参阅图 10.20 右侧。从图中我们还发现，在 β 推导过程中的 pole, f_{pa} 变成了 $1/\beta$ 推导过程中的 zero, f_{za} 。

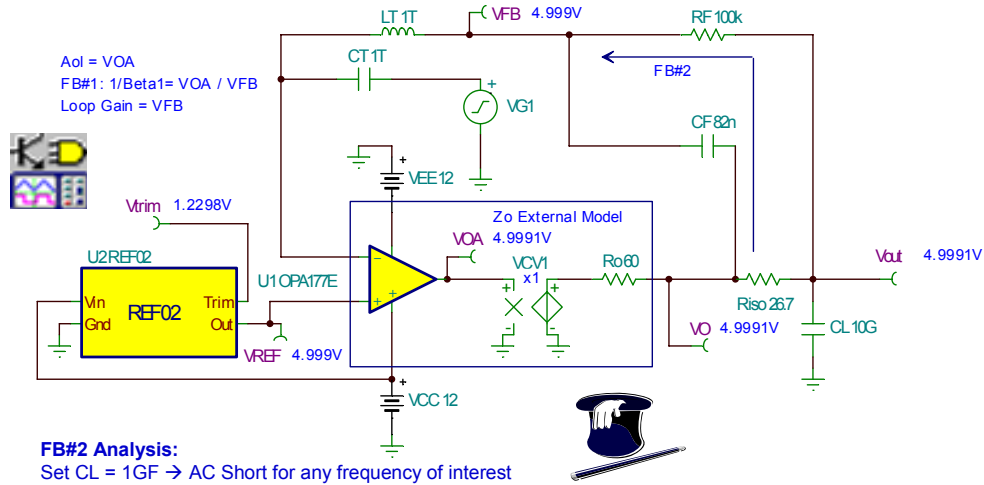


图 10.21 FB#2 AC 电路分析：发射极跟随器

为了检验 FB#2 的一阶分析情况，我们可采用如图 10.21 所示的 Tina SPICE 电路。再者，为了便于分析，我们将 CL 设置为 10GF，因此对各种相关的频率而言，CL 都等同于短路状态。但是，在开展 AC 分析前，仍允许 SPICE 查找到相应的 DC 工作点。

Tina SPICE 仿真的结果如图 10.22 所示。FB#2 $1/\beta$ 曲线正当 $f_{za} = 19.41\text{Hz}$ 以及高频 $1/\beta = 10.235\text{dB}$ 时，采用一阶分析推算出来的结果一样。另外，我们也绘制出 OPA177 Aol 曲线，以弄清楚在高频率时，FB#2 将如何与其相交。

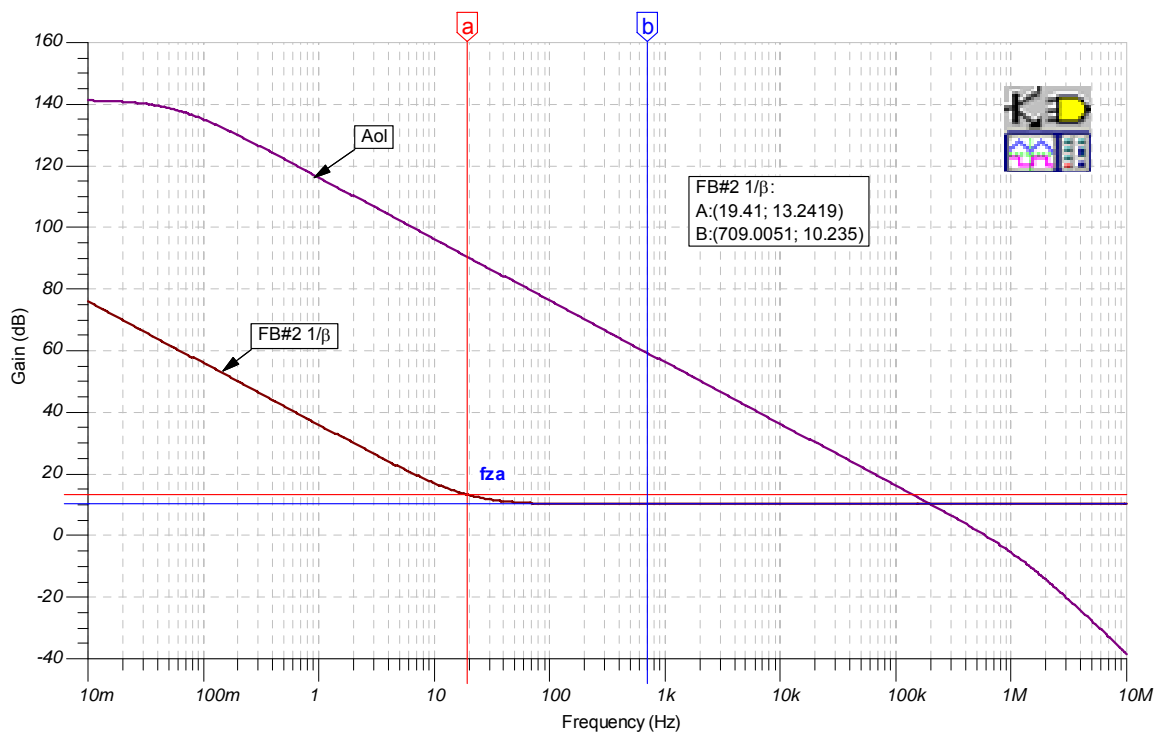


图 10.22 FB#2 $1/\beta$ 曲线：发射极跟随器

如果推算的 FB#1 和 FB#2 的叠加结果会产生所需的最终 $1/\beta$ 曲线，那么我们将通过如图 10.23 所示的 Tina SPICE 电路，开展分析工作。我们还可通过 Tina SPICE 电路，绘制出 Aol 曲线、最终的 $1/\beta$ 曲线以及环路增益曲线。

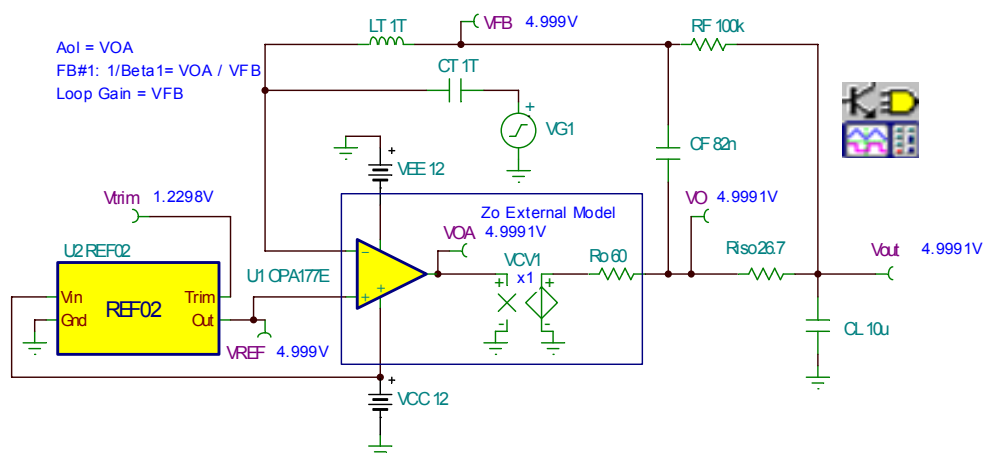


图 10.23 最终环路增益分析电路：发射极跟随器

从图 10.24 中，我们可以看出，分析结果验证了我们所推算的最终 $1/\beta$ 曲线。在环路增益为零的 fcl 处，推算的接近速率为 20dB/decade。

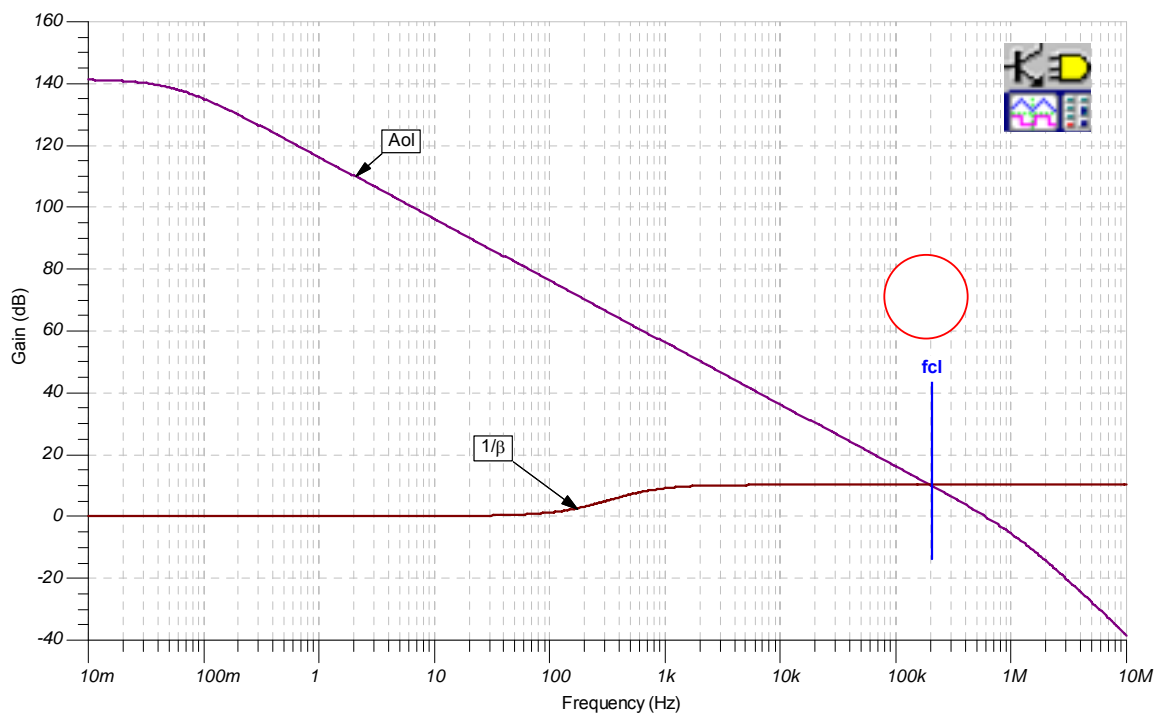


图 10.24 最终 $1/\beta$ 曲线：发射极跟随器

最终电路的环路增益相位曲线（采用 FB#1 和 FB#2）如图 10.25 所示。相移从未下降至 58.77° 以下（如为当频率为 199.57kHz 时的情况），而且，在 f_{cl} 处（频率为 199.57kHz ），相位裕度为 76.59° 。

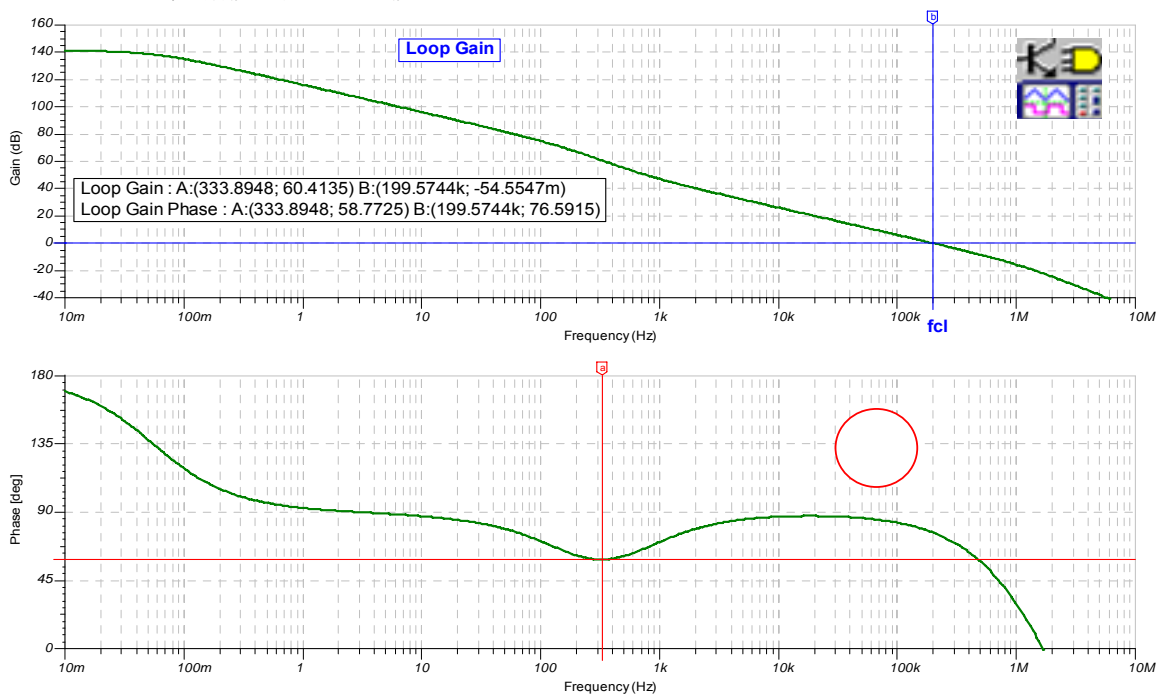


图 10.25 最终环路增益分析：发射极跟随器

我们将采用图 10.26 中的 Tina SPICE 电路，对我们的稳定电路进行最后的检验——瞬态稳定性测试。

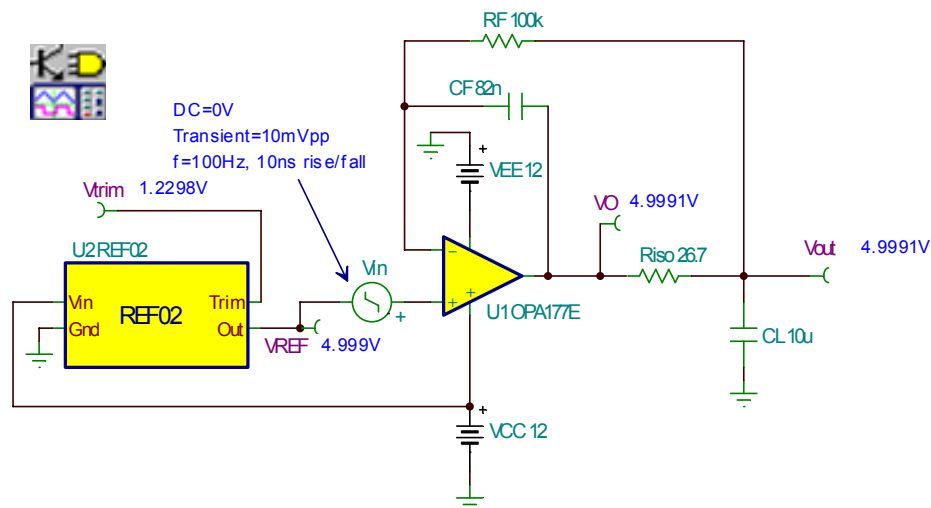


图 10.26 最终瞬态稳定性测试电路：发射极跟随器

图 10.27 中最终电路瞬态稳定性的测试结果符合我们其他所有的推算结果，从而研制出一款性能优良、运行稳定的电路。而且，我们可以信心十足的将这种电路投入量产，因为它不会发生故障或在实际运行中出现异常。

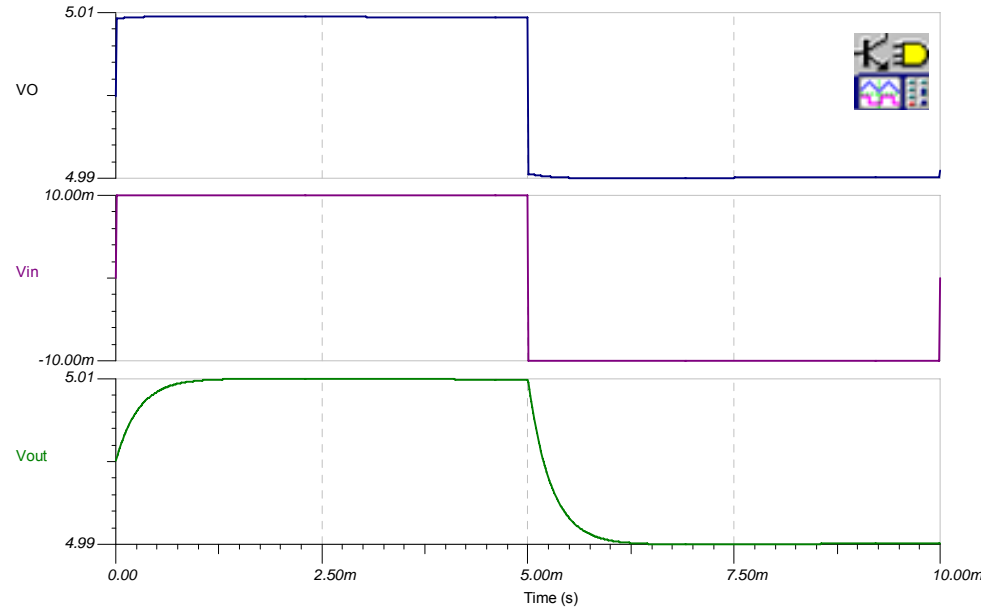


图 10.27 最终瞬态稳定性测试：发射极跟随器

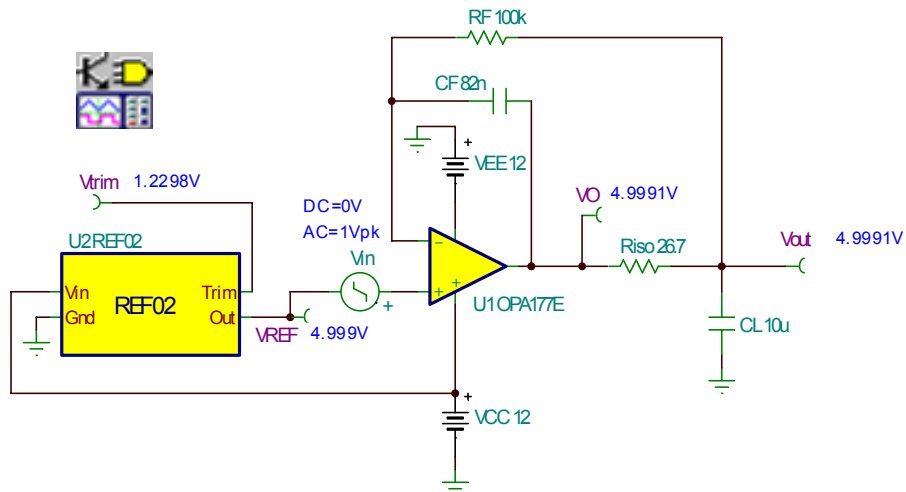


图 10.28 最终 V_{out}/V_{in} 传输函数电路：发射极跟随器

通过图 10.28 中的 Tina SPICE 电路，可验证我们对 V_{out}/V_{in} 的推算是否正确。

从图 10.29 中，我们可以看出， V_{out}/V_{in} 的测试结果与我们推算的一阶分析结果一致，具体表现为：当频率为 625.53Hz 时，单极点开始下降。而且，当频率约为 200kHz（此时，FB#2 与 OPA177 Aol 曲线相交）时，出现第二个极点。

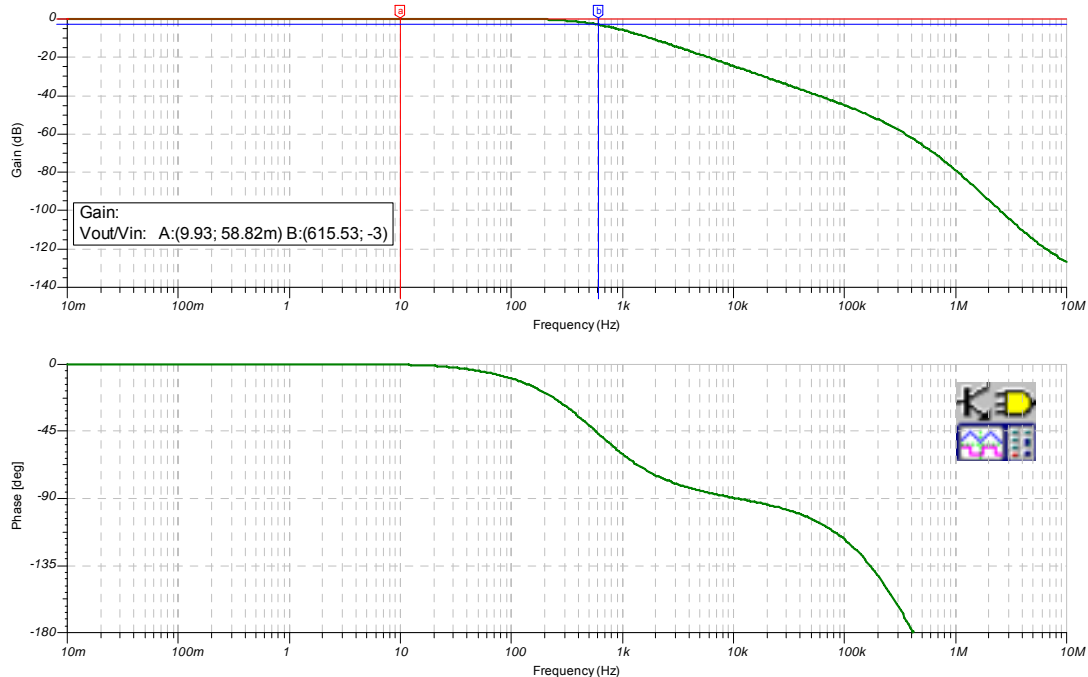


图 10.29 最终 V_{out}/V_{in} 传输函数：发射极跟随器

图 10.30 总结了一种易于使用的渐进式程序。这种程序轻松地将具有双通道反馈的 RISO 电容性负载稳定性技术应用于双极发射极跟随器输出运算放大器上。



FB#1 $1/\beta$ Formulae:

$$\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot (R_o + R_{iso}) \cdot C_L}$$

$$1/\beta = 1 \text{ (} f=0 \text{) for Low-} f \text{ } 1/\beta$$



FB#2 $1/\beta$ Formulae:

Assume:
 $C_L > 10C_F$
 $R_F > 10R_{iso}$

Pole: At Origin

$$\text{Zero: } f_{za} = \frac{1}{2\pi \cdot R_F \cdot C_F}$$

High Frequency $1/\beta$:

$C_L = \text{short}$

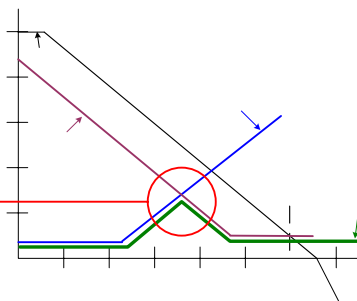
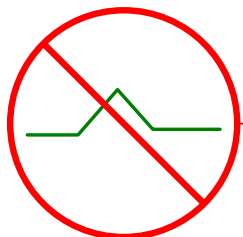
By Inspection:

$$1/\beta = \frac{R_o + R_{iso}}{R_{iso}} \text{ for High-} f \text{ } 1/\beta$$

- 1) 测量运算放大器的 A_{ol}
- 2) 测量运算放大器的 Z_o ，并在图上绘制出其曲线
- 3) 确定 R_O
- 4) 创建 Z_o 的外部模型
- 5) 计算 FB#1 低频 $1/\beta$ ：对单位增益电压缓冲器而言，该值为 1
- 6) 将 FB#2 高频 $1/\beta$ 设置为比 FB#1 低频 $1/\beta$ 高 +10dB（为获得最佳的 V_{out}/V_{in} 瞬态响应并实现环路增益带宽内相移量最少）
- 7) 从 FB#2 高频 $1/\beta$ 中选择 R_{iso} 以及 R_O
- 8) 从 C_L 、 R_{iso} 、 R_O 中，计算 FB#1 $1/\beta$ f_{zx}
- 9) 设置 FB#2 $1/\beta$ $f_{za} = 1/10 f_{zx}$
- 10) 选择具有实际值的 R_F 和 C_F ，以产生 f_{za}
- 11) 采用 A_{ol} 、 $1/\beta$ 、环路增益、 V_{out}/V_{in} 以及瞬态分析的最终值，运行仿真以验证设计的可行性
- 12) 核实环路增益相移的下降不得超过 135 度（>45 度相位裕度）
- 13) 针对低噪声应用而言：检查 V_{out}/V_{in} 扁平响应，以避免增益骤增 $\rightarrow V_{out}/V_{in}$ 中的噪声陡升

图 10.30 具有双通道反馈的 R_{ISO} 补偿程序：发射极跟随器

WARNING: This can be hazardous to your circuit!



Dual Feedback and the BIG NOT:

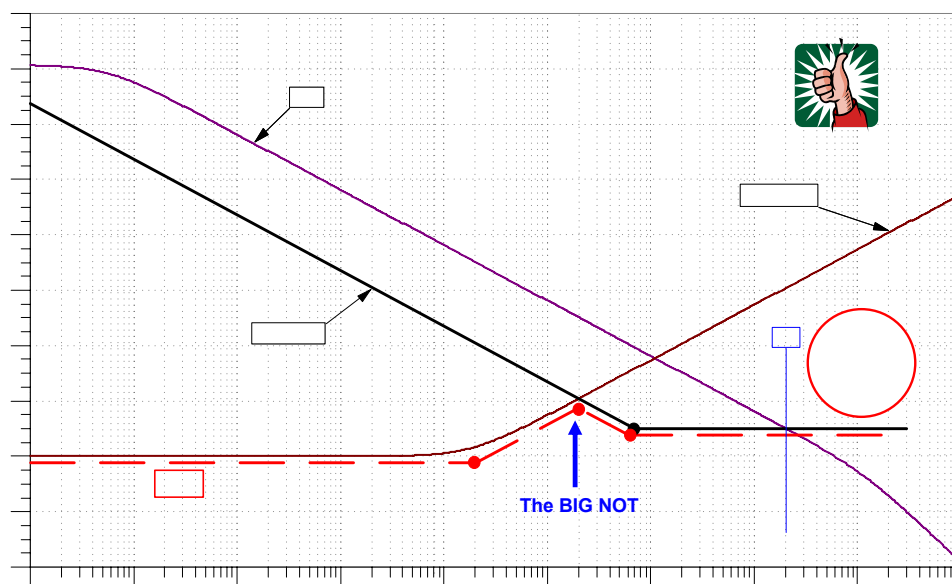
1/β Slope changes from +20dB/decade to -20dB/decade

- Implies a “complex conjugate pole” in the 1/β Plot.
- Implies a “complex conjugate zero” in the Aolβ (Loop Gain Plot).
- +/-90° phase shift at frequency of complex zero/complex pole.
- Phase slope from +/-90°/decade slope to +/-180° in narrow band near frequency of complex zero/complex pole depending upon damping factor.
- Complex zero/complex pole can cause **severe** gain peaking in closed loop response.

1/Beta

图 10.31 双通道反馈和 BIG NOT

当运算放大器采用双通道反馈回路时，有一种异常情况需要避免，那就是“BIG NOT”。如图 10.31 所示，存在能够产生反馈回路的运算放大器电路（反馈回路导致了 BIG NOT），这可从包括有效 $1/\beta$ 斜坡（从 +20dB/decade 骤变为 -20dB/decade）的最终 $1/\beta$ 曲线中看出。这种快速变化意味着在 $1/\beta$ 曲线中存在复共扼极点，因此，也意味着在环路增益曲线中存在复共扼零点。当处于复合零点/复合极点的频率时，复合零点和极点产生了 $\pm 90^\circ$ 度的相移。同时，在复合零点/复合极点附近的相位斜坡在频率发生位置的窄频带，可在 $\pm 90^\circ$ 度至 $\pm 180^\circ$ 度之间变化。出现复合零点/复合极点将在闭环运算放大器响应中导致增益的骤增。这种现象会造成负面的影响，尤其是对于功率运算放大器电路而言，更是如此。



Create the BIG NOT: Change CF to 220pF which moves fza to 7.23kHz

图 10.32 以图表的形式创建 BIG NOT

让我们回到图 10.17 OPA177 Aol 曲线上的 FB#1 和 FB#2 标绘点，只要改变如图 10.32 所示的 fza 的位置，就可轻而易举的创建 BIG NOT。在 fcl 处，按照以往接近速率的情况，显示这种电路的运行是稳定的——但是，果真如此么？

在图 10.33 中，我们改变了同时用于分析 FB#1 和 FB#2 的 Tina SPICE 电路，以创建如图 10.32 所示的 BIG NOT。将 CF 由 82nF 调整为 220pF，以便于将 fza 移到所需的 BIG NOT 创建位置。

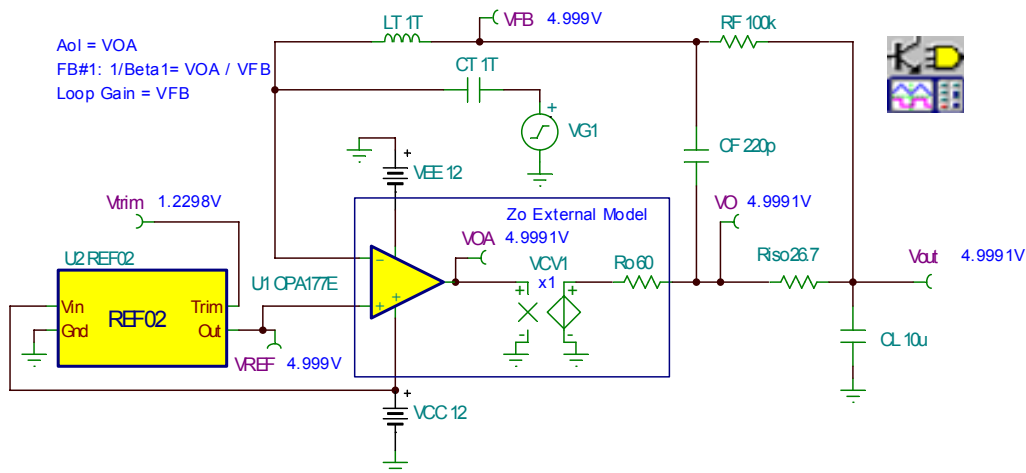
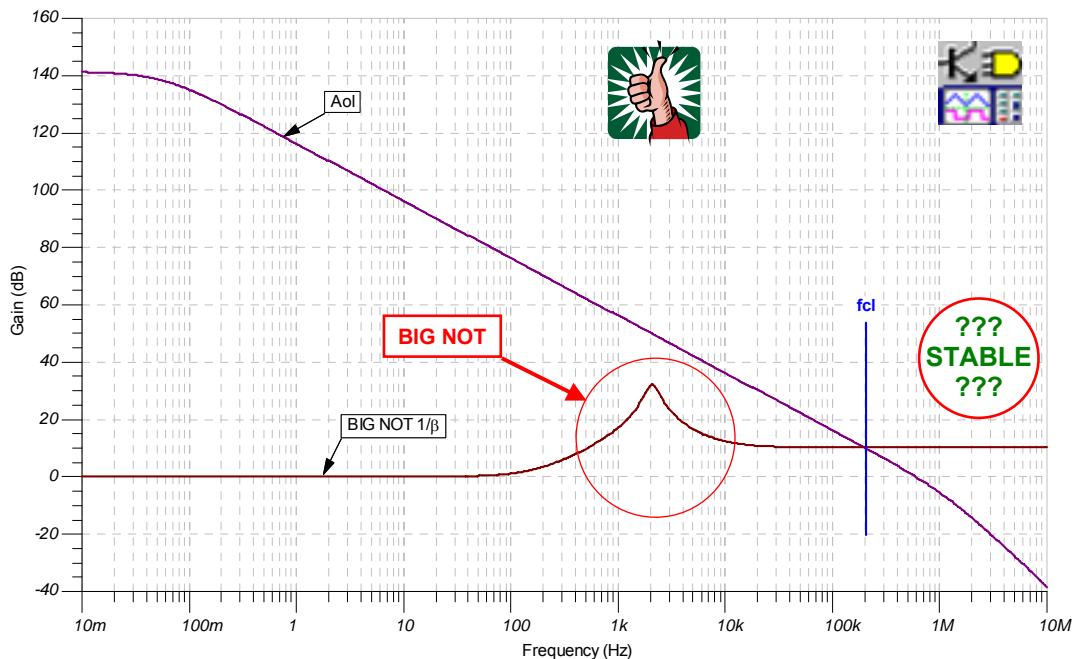


图 10.33 环路增益分析电路: BIG NOT



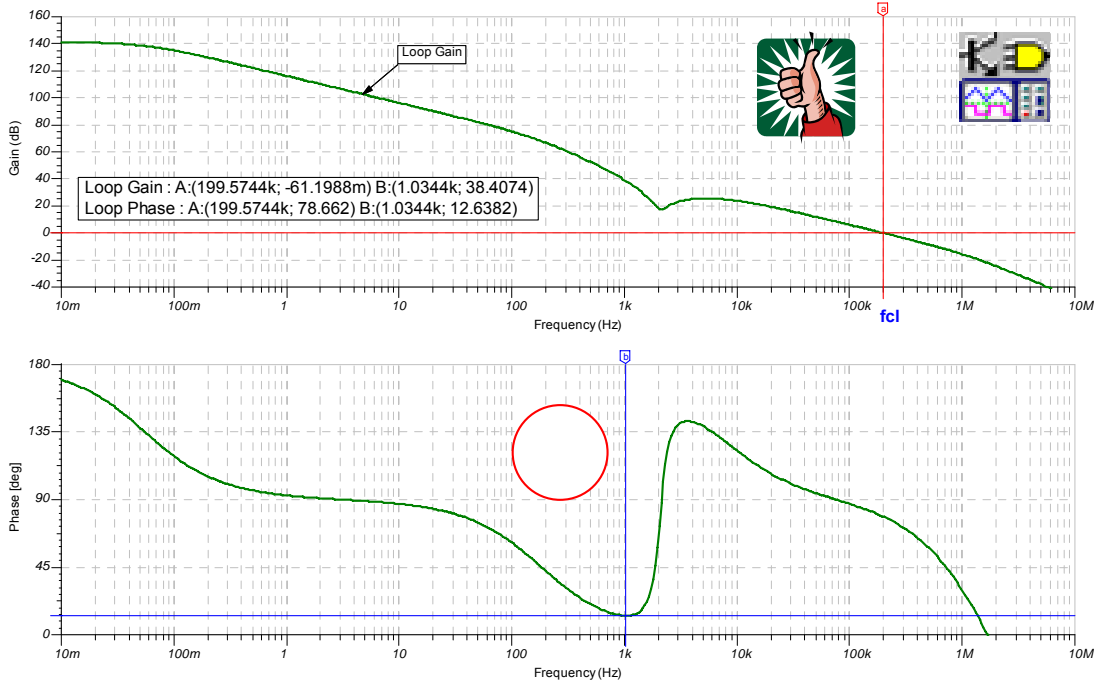
BIG NOT 1/β: At fcl rate-of-closure rule-of-thumb says circuit is stable but is it?

图 10.34 1/β 曲线: BIG NOT

BIG NOT 的 1/β 曲线与 OPA177 Aol 曲线一起在图 10.34 中标绘出来。在 fcl 处，出现了 20dB/decade 的接近速率。但是，请注意在 BIG NOT 1/β 曲线中，斜率有一个急剧的变化——

—从 $+20\text{dB/decade}$ 变为 -20dB/decade 。然而，这种 $1/\beta$ 曲线的急剧变化并非是一件好事，为此，我们应质疑这种电路的稳定性。

图 10.35 中 BIG NOT 电路的环路增益曲线表明相移几乎达到了 180° （当频率为 1.034kHz 时，大于 167° ），这意味着当频率为 1.034kHz 时，我们仅与 180° 的相移相距约 13° 。同时，请注意观察在这同一区域，环路增益是如何向下朝着零点环路增益急剧形成尖峰的。同样，在 f_{cl} 处，有着充足的相位裕度。但是，我们还是会问，这种电路运行稳定么？



BIG NOT Loop Gain: Loop Gain phase shift $>135^\circ$ ($<45^\circ$ from 180° degree phase shift) for frequencies $<f_{cl}$ which violates the loop gain phase shift rule-of-thumb. But is it stable?

图 10.35 环路增益分析: BIG NOT

于是，假设我们在稳定性分析技巧方面毫无经验（事实上并非如此），接着构建这款 BIG NOT 电路。我们期望了解实际应用中的瞬态稳定性会是如何开展的。通过图 10.36 中的 Tina SPICE 电路，我们可以看到，如果我们将该 BIG NOT 电路投入量产，再将其投入实际的应用中，会产生什么结果呢？

?
STA
?

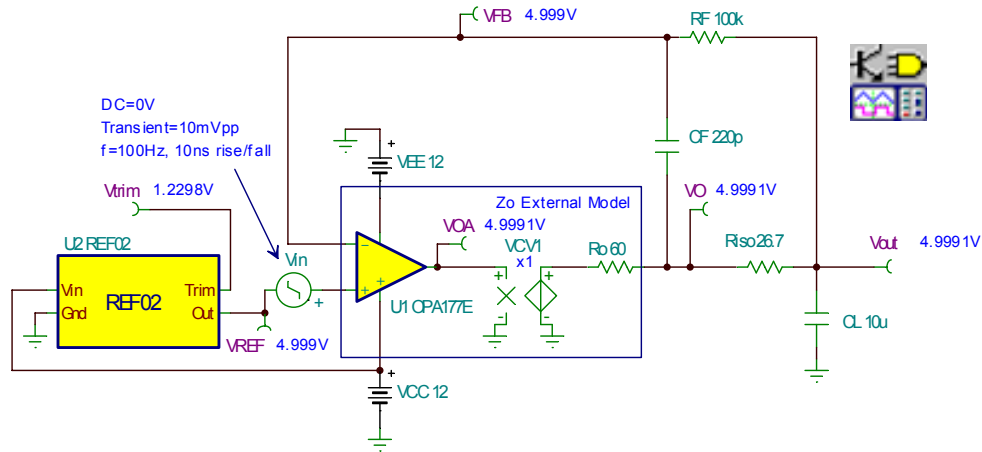
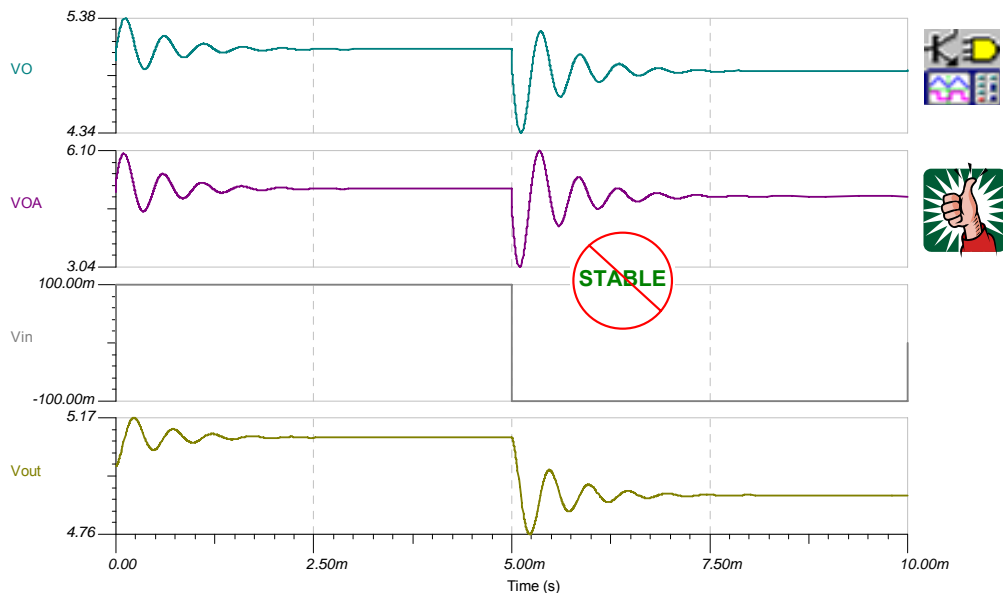


图 10.36 瞬态稳定性测试电路：BIG NOT

千万不要告诉您的上司，我们将该电路投入了量产，否则情况会更糟糕。客户收到您发送的、内置这种电路的设备后，发现有时向电路供电或当其他负载突然馈入该参考缓冲电路时，会出现奇怪和间歇性的问题。这是更新我们的历史参数的适当时候吗？尽管该电路不是振荡器，但是，如图 10.37 所示来自瞬态稳定性测试中过度的振铃和很长的建立时间意味着电路处于稳定的边缘上。根据 BIG NOT 出现的位置，振动器振铃的持续时间和振幅更容易变得比本例所述的情况还糟。从电路板和系统层面来考虑，我们将这种电路定义为“不稳定”，尤其是当我们的分析工作未涵盖实际应用中的寄生效应时，情况更是如此（这些寄生效应出现在 PCB 布局、组件容差、运算放大器参数容差以及组件和运算放大器参数的温度变化等方面）。令人感到欣慰的是，我们只将该电路投入“虚拟”的量产，而相应的将我们的具有双通道反馈的 RISO 应用到即将投入实际使用的电路。



BIG NOT Transient Stability Test: Excessive ringing and marginal stability are apparent. Real world implementation and use may cause even more severe oscillations. We do not want this in production!

图 10.37 瞬态稳定性测试：BIG NOT

CMOS RRO: 具有双通道反馈的 RISO

我们选择用于分析具有双通道反馈的 RISO 的 CMOS RRO 为 OPA734，具体情况请参阅图 10.38。OPA734 是一款低漂移、低输入失调电压的运算放大器，其能在 +2.7V~+12V 的电压范围内工作。这种极低的漂移（0.05uV/C）加上其超低的初始输入失调电压（1uV），使 OPA734 成为了单电源应用中理想的参考缓冲放大器。由于这并非是轨至轨 CMOS 输入放大器，因此，我们有必要观察输入电压范围的技术规范[（V-）-0.1V 至（V+）-1.5V]。

OPA734 0.05uV/C Max, Single-Supply, CMOS Operational Amplifier, Zero-Drift Series	
Parameter	Specification
Supply Voltage (Vs)	+2.7V to +12V
Quiescent Current	600uA typical
Offset Voltage	1uV max
Offset Drift	0.05uV/C max
Input Bias Current	+/-100pA typical
Input Voltage Noise	0.8uVp-p (0.1Hz to 10Hz)
Input Voltage Noise Density	135nV/rt-Hz
Input Voltage Range	(V-)-0.1V to (V+)-1.5V
Gain-Bandwidth Product	1.6MHz
Open Loop Gain	130dB (RL=10k)
Open Loop Output Resistance	125 ohms @ f=1MHz, Io=0A
Slew Rate	1.5V/us
Voltage Output Swing from Rail	20mV max (RL=10k to Vs/2)
Package	SOT23-5, MSOP-8, SO-8

图 10.38 CMOS RRO 运算放大器的技术规范

典型的 CMOS RRO 等效电路图如图 10.39 所示。从图中可以看出，运算放大器的输出端连接至 MOSFET 的漏极。这种漏极输出运算放大器具备一个 Zo（同时具有阻性和容性的特点），要求我们运用某些相对于双极发射极跟随器略有不同的分析技术，如具有双通道反馈的 RISO 电路示例。

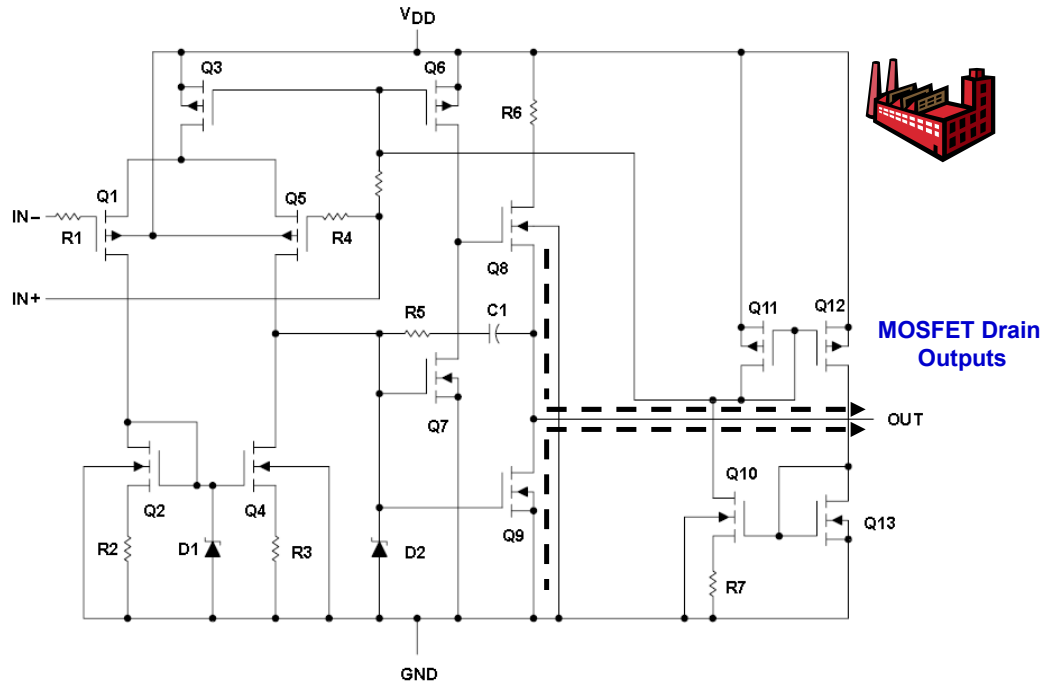
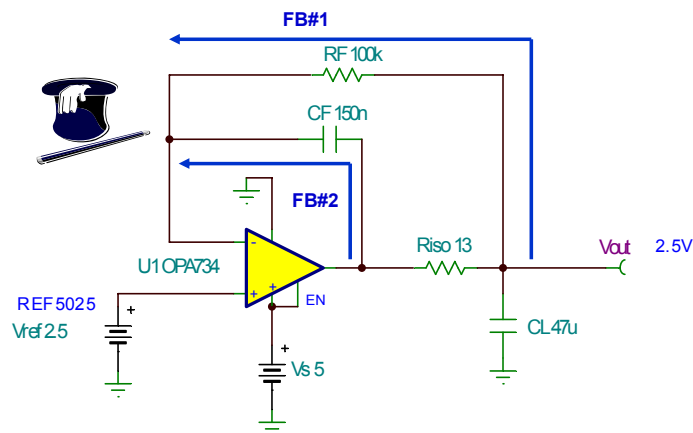


图 10.39 典型的 CMOS RRO 运算放大器拓扑结构

从图 10.40 中我们可以看出，CMOS RRO 参考缓冲电路的外观与双极发射极跟随器示例中所采用的电路外观一模一样。在本应用示例中，我们采用电压为 5V 的单电源，对 2.5V 的参考电路（该电路的电压值低于输入电压范围的技术规范[输入电压范围：5V–1.5V = 3.5V]）进行缓冲。由于为了获得良好的稳定性，在高频时 FB#1 和 FB#2 将提供所需要的反馈，因此，在 Vout 处，可获取准确的参考电压。Riso 将使两条反馈电路单独运行，互不干扰。



Dual Feedback:

FB#1 through RF forces accurate Vout across CL
 FB#2 through CF dominates at high frequency for stability
 Riso provides isolation between FB#1 and FB#2

图 10.40 具有双通道反馈的 RISO: CMOS RRO

由于在本应用示例中，我们采用的是单电源，因此，我们将运用一些新技巧来获取如图 10.41 所示的空载 A_{ol} 曲线。首先，我们需要确保在开展 DC 工作点分析之后的 OPA734 输出信号处于工作的线性区域。通常来说，由于运算放大器的饱和输出信号并非处在工作的线性区域，因此，其未能提供恰当的 AC 性能。对于大多数运算放大器宏模型来说也是如此。在 DC 状态时，LT 为短路而 CT 为开路。OPA734 的非反相输入限制为 $V_s/2$ (2.5V)。因此，输出将为 $V_s/2$ (2.5V)。如图所示的 RL 接线方式，在运算放大器的输出端不存在 DC 负载。RL 以及 LT 为低通滤波器函数提供了一条 AC 通道。这样，在反馈电路中，就可使 DC 处于短路状态而 AC 处于开路状态。务必提请注意的是，在进行 AC 分析前，SPICE 必须开展 DC 闭环分析，以找到电路的工作点。另外，RL 以及 CT 为高通滤波器函数提供了一条 AC 通道，这样，使得我们能够将 DC 开路电路和 AC 短路电路一起并入输入端。而且，LT 和 CT 按大数值等级选用，以确保其在各种相关的 AC 频率时，电路短路和开路情况下的正常运行。

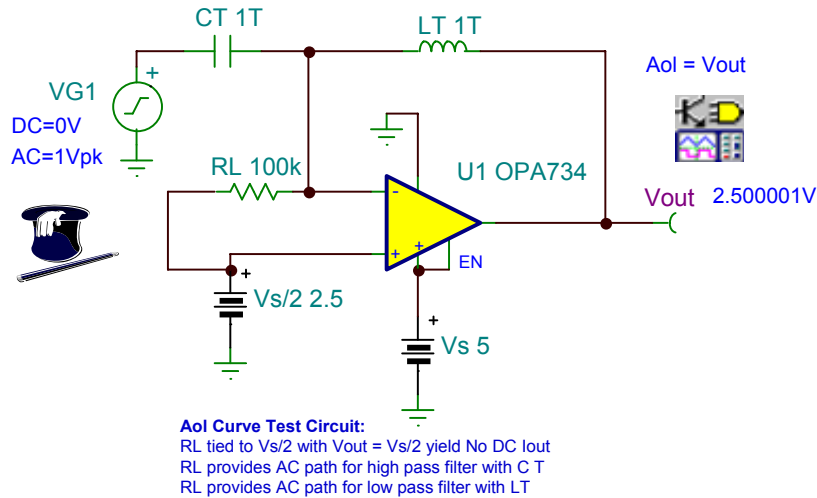


图 10.41 A_{ol} 测试示意图: CMOS RRO

从 Tina SPICE 仿真测量得出的 OPA734 A_{ol} 曲线如图 10.42 所示。测得的单位增益带宽为 1.77MHz。

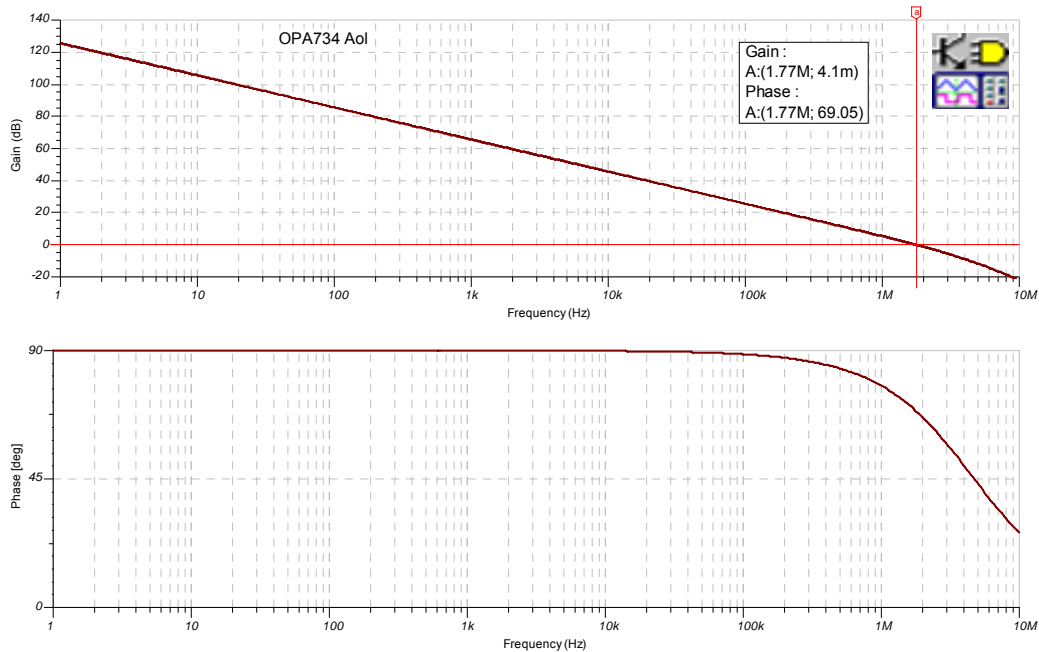


图 10.42 Aol 测试结果: CMOS RRO

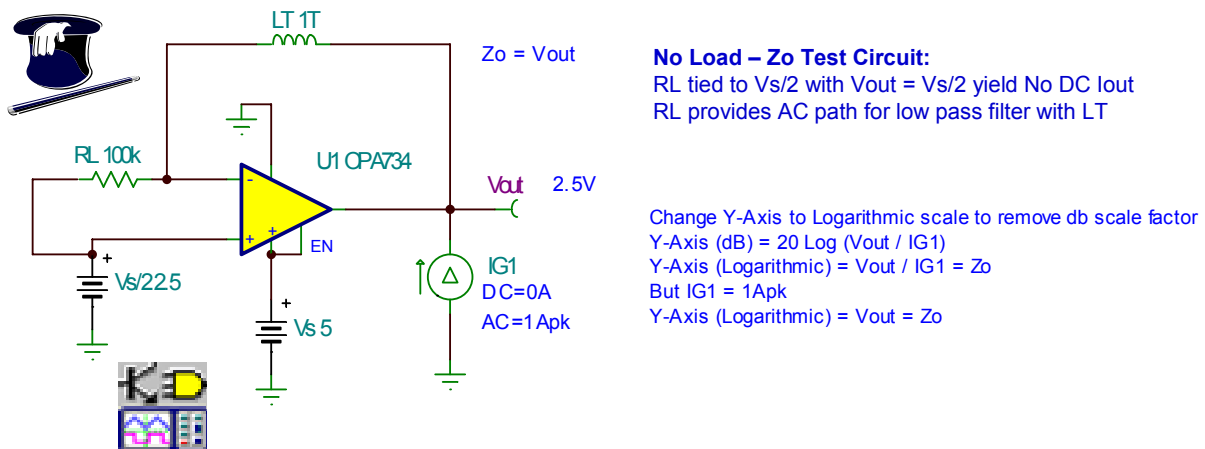


图 10.43 由 Zo、CCO、RCO、CL 改变 Aol 效应的 TINA 电路

现在，我们必须测量如图 10.43 所示的 Z_o （小信号 AC 开环输出阻抗）。该 Tina SPICE 测试电路将测试空载 OPA734 的 Z_o 。请注意，由于我们测试的是单电源电路，因此将输出信号调整至 $V_s/2$ (2.5V)，以确保运算放大器输出电流的正弦波位于工作的线性区域。RL 以及 LT 为低通滤波器函数提供了一条 AC 通道。这样，在反馈电路中，就可使 DC 处于短路状态而 AC 处于开路状态。由于 RL 限定在 V_{out} (2.5V) 和 $V_s/2$ (2.5V) 之间，所以 DC 工作点在输出端显示为 2.5V 或 $V_s/2$ 伏，这也就是说，OPA734 没有电流流入或流出。此时，通过运用 1Apk AC 电流发生器（我们能够扫视 10mHz 至 1MHz 的 AC 频率范围）， Z_o 的测量工作能够轻松完成。最后，得出测量结果 $Z_o = V_{out}$ （如果将测量结果的单位从 dB 转换为线性或对数， V_{out} 也就是以欧姆为单位的 Z_o ）。

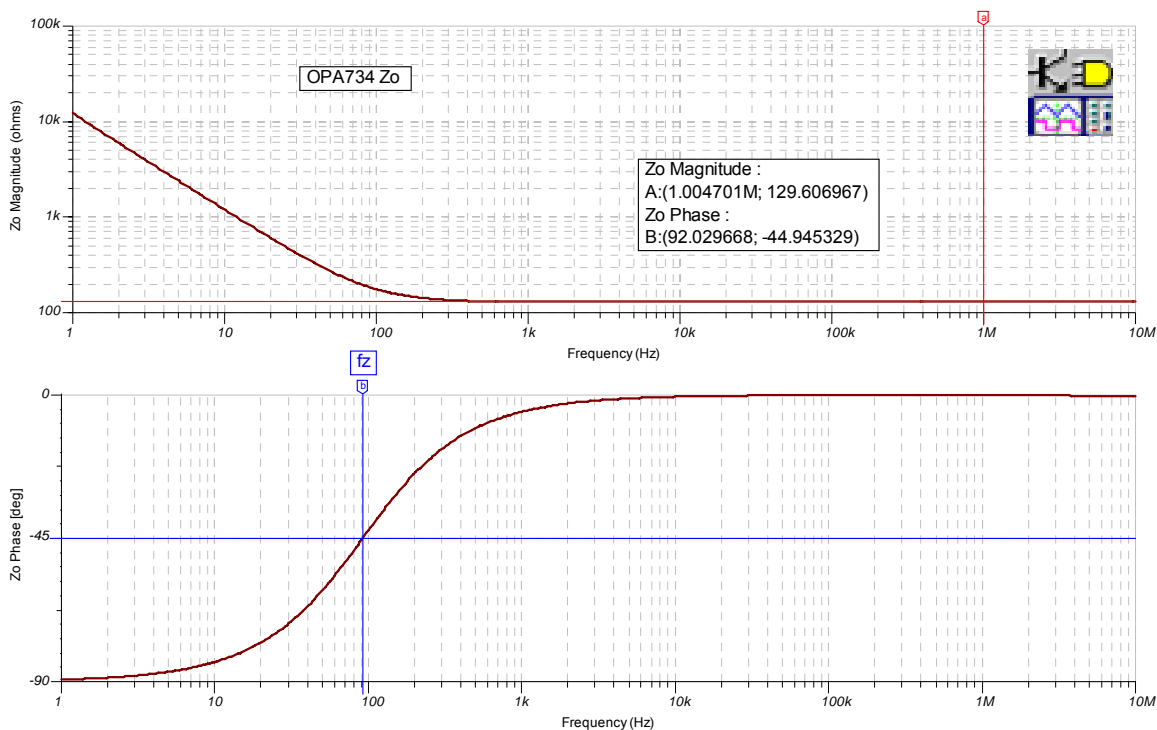


图 10.44 Zo、开环输出阻抗: CMOS RRO

从图 10.44 中，我们可以看出，OPA734 Zo 是 CMOS RRO 运算放大器输出级所独有的特征。而且，这种输出级的 Ro 在高频时，处于支配地位。同时，Co 所呈现出的电容效应在频率低于 92Hz 时，处于支配地位。

根据前面图表的仿真测试结果，我们在图 10.45 中构建了 OPA734 的 Zo 模型。RO 直接测得为 129 欧姆，fz 直接测得为 92Hz。根据测得的 fz 和 RO 数值，我们可以轻松地计算出 CO 的数值（为 13.4uF）。最终完成了如图所示的 Zo 模型。

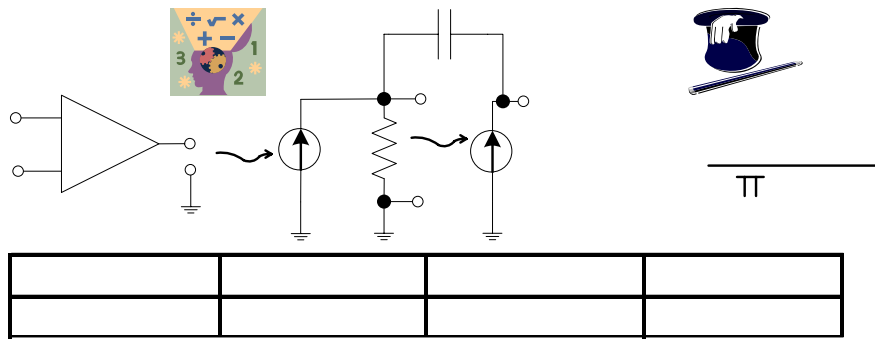
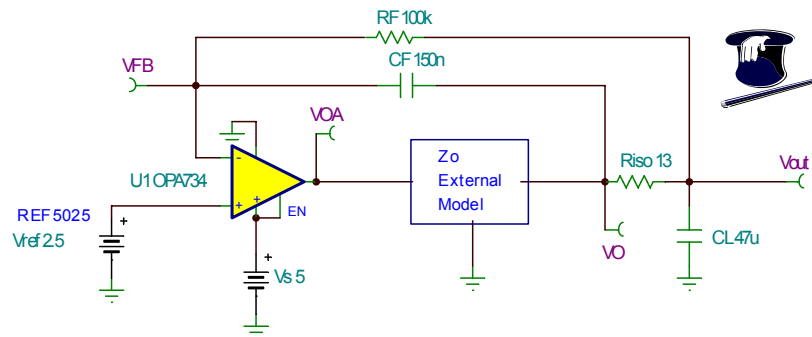


图 10.45 Zo 模型: CMOS RRO



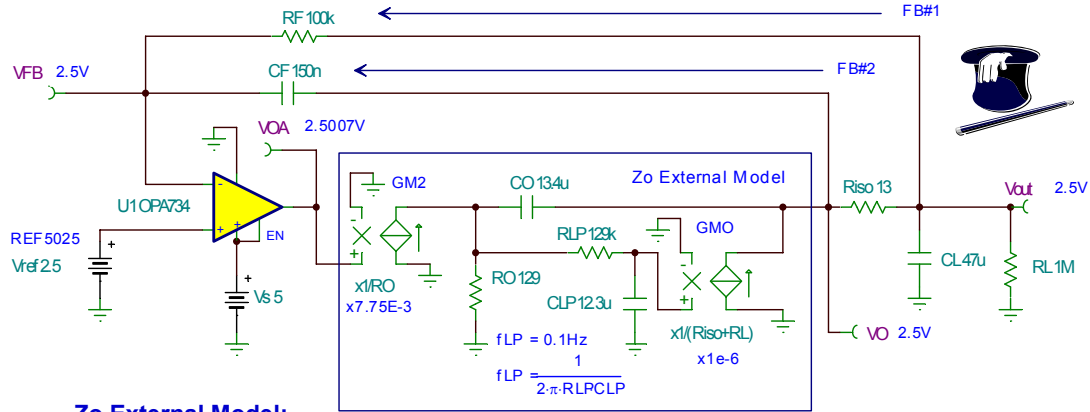
Zo External Model:

U1 is complete SPICE macromodel of OPA734 with data sheet Aol curve and Zo
 Zo is moved outside of the op amp macromodel to form a new macromodel
 Allows for simulation of $1/\beta$ with effects of Zo and external loads

图 10.46: Zo 外部模型: CMOS RRO

为了使 $1/\beta$ 分析的情况包含在 Zo 与 Riso、CL、CF 以及 RF 之间相互作用的影响结果内，我们需将 Zo 从运算放大器的宏模型中分离出来，以便于弄清楚电路中所需的节点。这种构思如图 10.46 所示。另外，U1 将提供产品说明书的 Aol 曲线，并从 Riso、CL、CF 以及 RF 的各种影响中得到缓冲。

通过如图 10.47 所示的 Zo 外部模型，我们能够测量 Zo 与 Riso、CL、RF 以及 CF 之间的相互作用对 $1/\beta$ 的影响。RO 和 CO 是我们在前一张图表中测出的参数。GM2 将 U1（OPA734 运算放大器宏模型）从 Zo 外部模型中隔离开来。将 GM2 设置为 $1/RO$ 以保持适当的 Aol 增益，目的是与最初的 OPA734 运算放大器宏模型和产品说明书中的 Aol 相匹配。在 SPICE 进行 AC 分析前，其必须开展 DC 分析。因此，我们需确保扩展后的运算放大器模型，将具备正确的 DC 工作点而无需使 U1 达到饱和状态。为此，我们在 CO 至 VO 之间添加了一条低频通道。GMO 将由 RO 两端的电压控制（该电压与 VOA 相匹配）。将 GMO 设置为 $1/RL$ 以维持 DC 状态时的综合增益水平，目的是与最初的 OPA734 Aol 相匹配。另外，一只低通滤波器由 RLP 和 CLP 形成，并设置为 $0.1 \cdot f_{LOW}$ （fLOW 是相关的最低频率）。将 RLP 设置为 $1000 \cdot RO$ ，以避免 RO 上出现负载或相互作用（影响），最终导致 Zo 传输函数发生错误。



Zo External Model:

GM2 ideally isolates U1 so U1 only provides data sheet Aol with no effects of Zo and external loads

Set GM2 = x1/RO to maintain data sheet Aol gain characteristic

RLP, CLP, GMO provide a path for DC Analysis

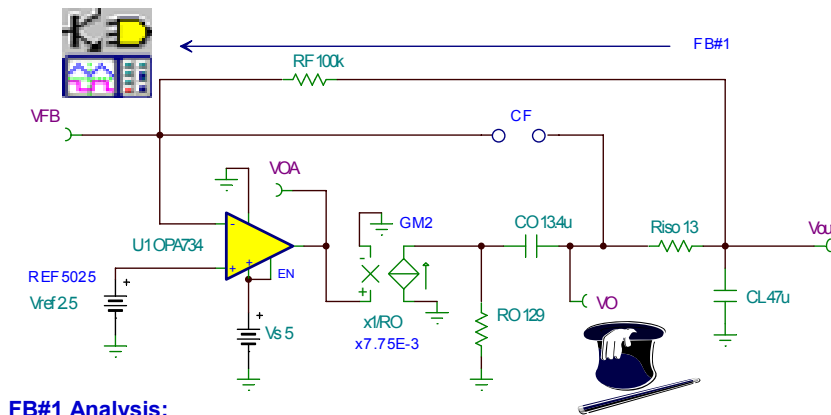
Set RLP = 1000 * RO to avoid loading RO to any level of concern

Set CLP to yield fLP = 0.1*fLOW, where fLOW is the lowest frequency of interest

Set GMO = 1/(Riso+RL) to maintain proper data sheet Aol DC gain

图 10.47 Zo 外部模型详图: CMOS RRO

首先，我们分析如图 10.48 所示的 FB#1。请注意，由于我们只分析 FB#1，所以 CF 可视为处于开路状态。接下来，我们将分析 FB#2。然后，通过采用叠加的方法，将两条反馈通道合并在一起，求取最终的 $1/\beta$ 。分析结果如图 10.48 所示，有关的公式推导和具体细节，请参阅图 10.49。我们发现，当 $f_{zx}=107.49\text{Hz}$ 时，FB#1 $1/\beta$ 曲线上出现零点。低频 $1/\beta$ 值为 4.5 或 13dB，并由介于 CO 和 CL 之间的电容分压器确定。如果改变电路以获得增益，那么低频 $1/\beta$ 值将大于 1。



FB#1 Analysis:

$1/\beta$ zero due to series combination of CO and CL interacting with RO + Riso

Low frequency $1/\beta$ set by capacitive divider between CO and CL

CF is treated as an open since we are using superposition an analyzing FB#1 only

FB#1 $1/\beta$:

$$f_{zx} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO} \right) \cdot (Riso + RO)}$$

$$f_{zx} = \frac{1}{2\pi \cdot \left(\frac{13.4\mu 47\mu}{47\mu + 13.4\mu} \right) \cdot (13 + 129)}$$

$$f_{zx} = 107.49\text{Hz}$$

$$\frac{1}{\beta} = \frac{CL + CO}{CO} \text{ for Low-f}$$

$$\frac{1}{\beta} = \frac{47\mu + 13.4\mu}{13.4\mu} \text{ for Low-f}$$

$$\frac{1}{\beta} = 4.5 \text{ or } 13\text{dB for Low-f}$$

图 10.48 FB#1 分析: CMOS RRO

FB#1 β Derivation:

$$\beta = \frac{V_{FB}}{V_{OA}}$$

$$\beta = \frac{X_{CL}}{R_O + X_{CO} + R_{iso} + X_{CL}}$$

After Algebraic Manipulation:

$$\beta = \frac{\frac{1}{CL \cdot (R_{iso} + R_O)}}{S + \frac{1}{\left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + R_O)}}$$

Note: $\frac{CO \cdot CL}{CL + CO}$ is series combination of CO and CL

$$\text{Pole: } f_{px} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + R_O)}$$

$$\beta = \frac{CO}{CL + CO} \text{ for } f = 0 \text{ (Low-} f\beta)$$

CO and CL form a Capacitive Divider



FB#1 $1/\beta$ Derivation:

$$\frac{1}{\beta} = \frac{V_{out}}{V_{OA}}$$

$$\frac{1}{\beta} = \frac{R_O + X_{CO} + R_{iso} + X_{CL}}{X_{CL}}$$

After Algebraic Manipulation:

$$\frac{1}{\beta} = \frac{S + \frac{1}{\left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + R_O)}}{1}{CL \cdot (R_{iso} + R_O)}$$

Note: $\frac{CO \cdot CL}{CL + CO}$ is series combination of CO and CL

$$\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + R_O)}$$

$$\frac{1}{\beta} = \frac{CL + CO}{CO} \text{ for } f = 0 \text{ (Low-} f\beta)$$

CO and CL form a Capacitive Divider

图 10.49 FB#1 $1/\beta$ 公式推导: CMOS RRO

FB#1 β 的公式推导如图 10.49 左侧所示。由于 $1/\beta$ 是 β 的倒数，所以 FB#1 $1/\beta$ 的计算结果可以轻而易举的推导出来，具体推导过程，请参阅图 10.49 右侧。从图中我们还发现，在 β 推导过程中的 pole, f_{px} 变成了 $1/\beta$ 推导过程中的 zero, f_{zx} 。

我们将采用如图 10.50 所示的电路来开展 AC 分析：通过 Tina SPICE，找到 FB#1 的 $1/\beta$ ，OPA177 的 Aol 以及只采用 FB#1 电路的环路增益。

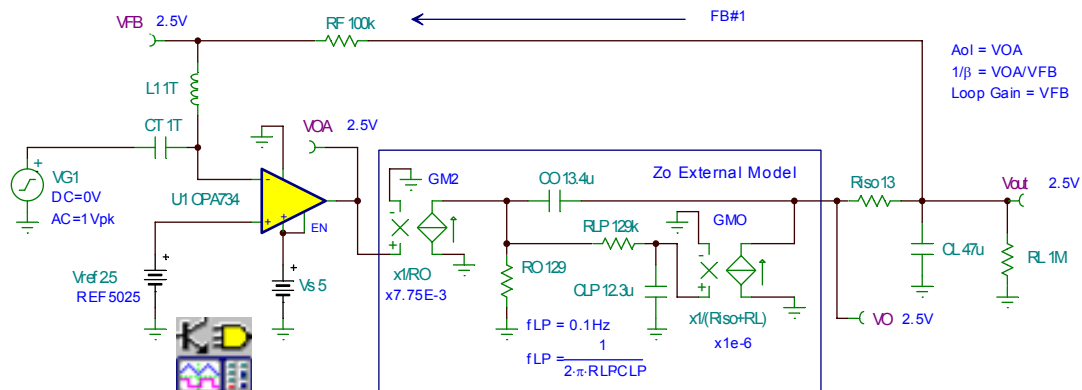


图 10.50 FB#1 AC 电路分析: CMOS RRO

FB#1 $1/\beta$ 的结果标示在图 10.51 中的 OPA734 Aol 曲线上。在环路增益为零的 f_{cl} 处，我们发现，接近速率为 40dB/decade:

$$[(\text{Aol 曲线上的 } -20\text{dB/decade}) - (\text{FB\#1 } 1/\beta \text{ 曲线上的 } +20\text{dB/decade})] = -40\text{dB/decade 接近速率}]$$

为此，接近速率的历史数据表明了存在不稳定性。而且，我们对 **FB#1** 的分析是基于 **zero**、**fzx = 183.57Hz**，低频 $1/\beta = 13.09\text{dB}$ 的情况。从图 **10.51** 中可以看出，我们的一阶分析准确推算出了 **FB#1** $1/\beta$ 的数值。

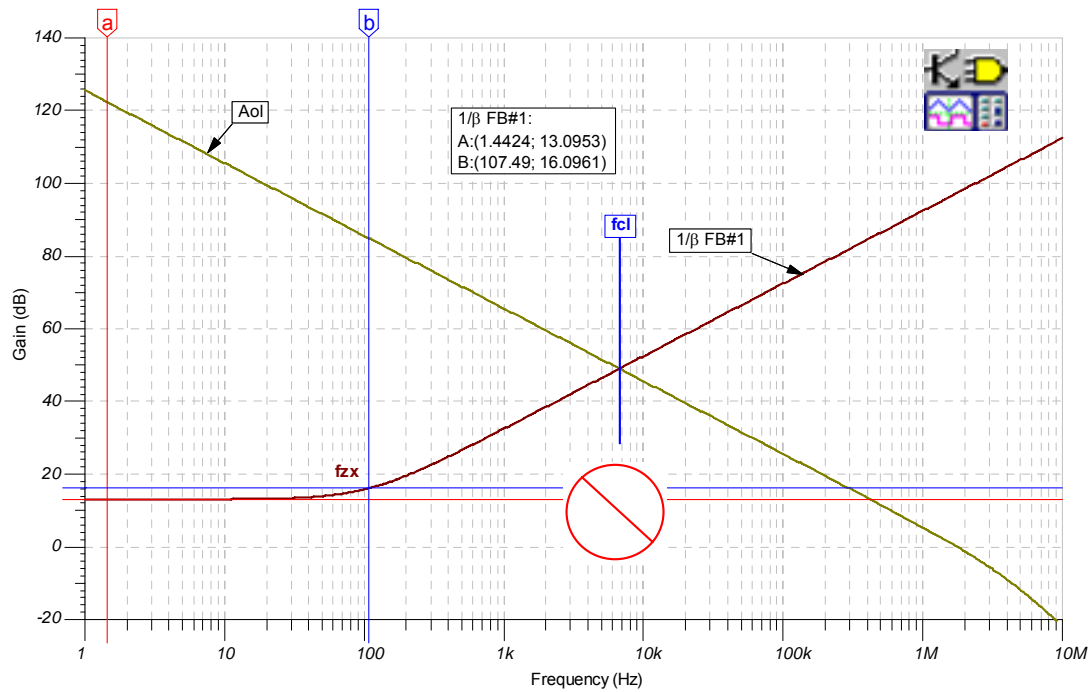


图 10.51 **FB#1** $1/\beta$ 曲线: CMOS RRO

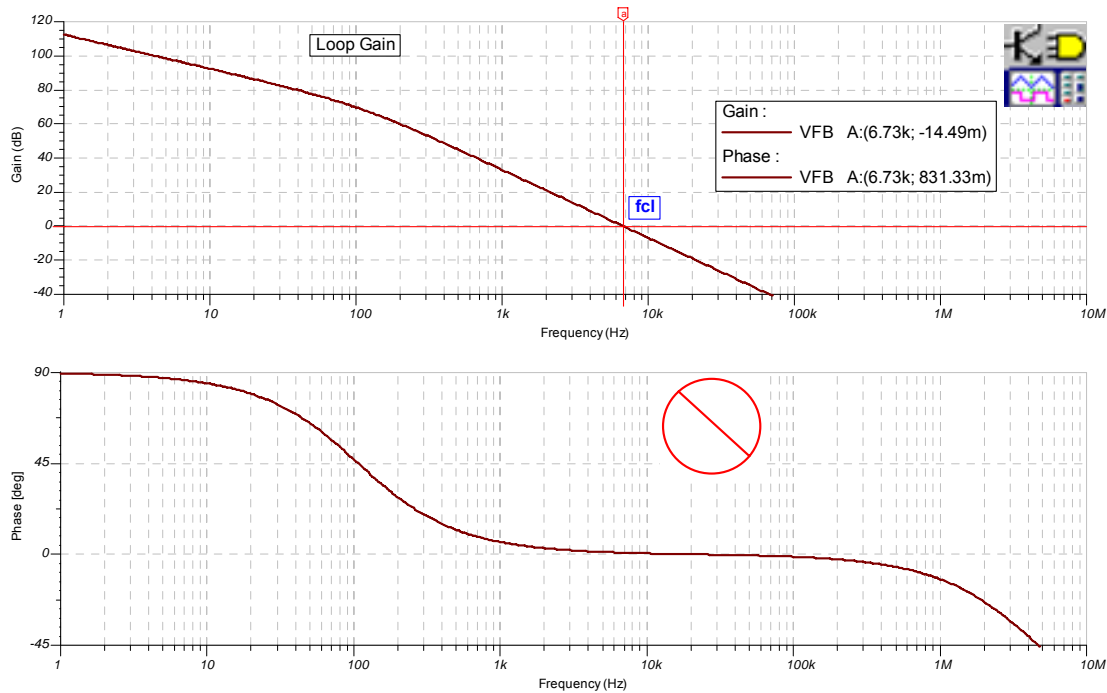


图 10.52 **FB#1** 环路增益分析: CMOS RRO

从图 10.52 中我们发现，只配置 FB#1 的电路环路增益分析显示，在环路增益为零的 fcl 处，相位裕度接近零。这样，就明确证实了电路的不稳定性。通过观察图 10.51 中 Aol 曲线上的 FB#1 1/β 标绘点，可推算出环路增益曲线上的极点和零点。

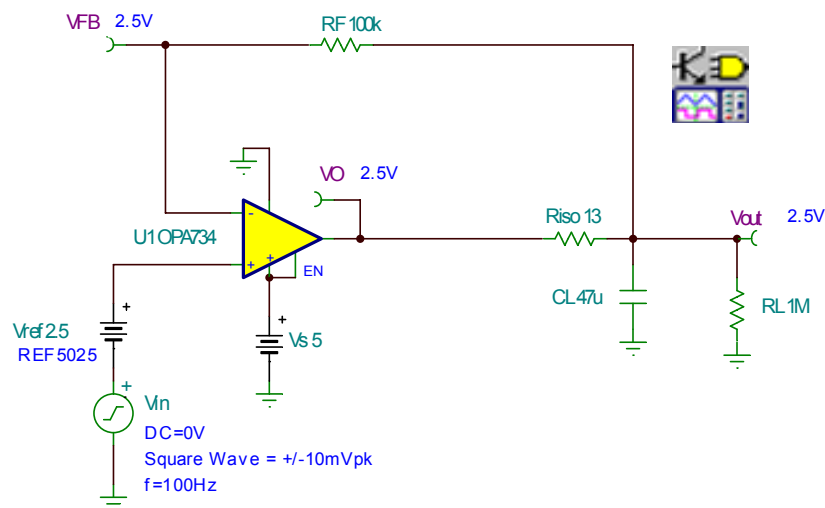


图 10.53 FB#1 瞬态稳定性测试电路：CMOS RRO

如果我们有任何疑问，或如果只采用 FB#1 构建参考缓冲电路，此时，我们可运用图 10.53 中的电路，进行实际的瞬态稳定性测试。

图 10.54 中的瞬态稳定性测试结果同时与 Aol 曲线上的 1/β 值和环路增益曲线一致，因此，证明了只采用 FB#1 构建参考缓冲电路，将导致电路运行的不稳定性。

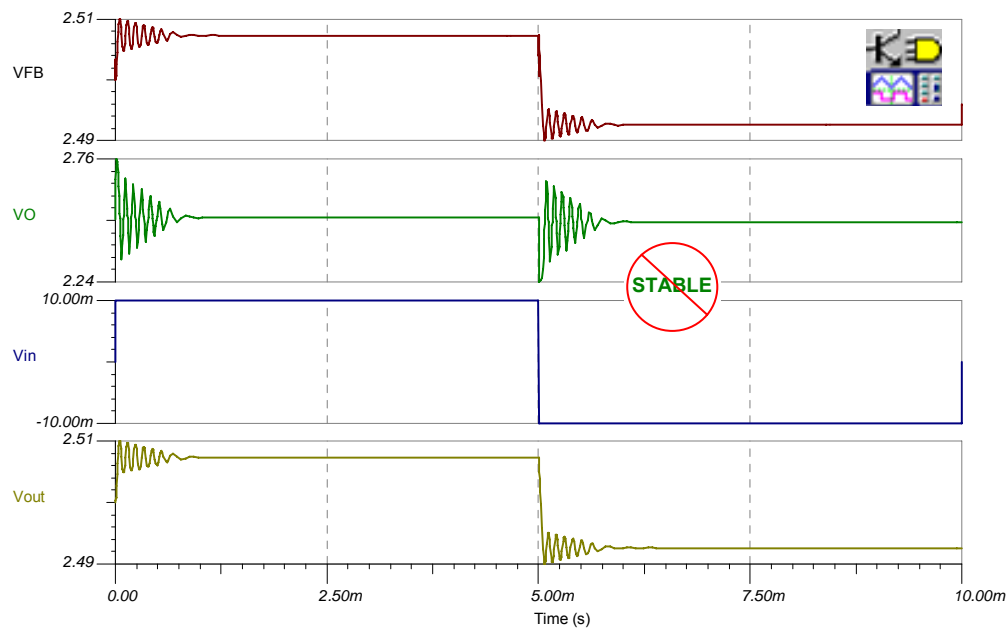


图 10.54 FB#1 瞬态稳定性测试：CMOS RRO

现在，我们必须弄清楚如何合成一种解决方案，以保证设置电容性负载参考缓冲电路的稳定性。此时，我们进一步了解如图 10.55 所示的 A_{ol} 曲线和 $FB\#1$ $1/\beta$ 曲线。如果我们添加图 10.55 所示的 $FB\#2$ $1/\beta$ 曲线，我们就会看到一条最终的 $1/\beta$ 曲线，这样，根据 f_{cl} 处的接近速率在历史上的稳定性经验，可以推断电路的运行也将是稳定的。

另外，我们将促使 f_{pc} 低于 $1/\beta$ 曲线中的 f_{zx} 一个 decade，以确保当频率低于 f_{cl} 时，相位裕度优于 45 度。上述工作通过调整 $1/\beta$ $FB\#2$ 的高频部分，使其比 $FB\#1$ 低频 $1/\beta$ 高出 +10dB。接着，设置 f_{za} ，使其至少低于 f_{pc} 一个 decade，以确保当实际应用中参数变化时，能够避免 BIG NOT。通过观察，我们发现，最终的 $1/\beta$ 曲线是在 $FB\#1$ $1/\beta$ 曲线和 $FB\#2$ $1/\beta$ 曲线中选择最小数值的 $1/\beta$ 通道而形成的。

务必请记住，在双反馈通道中，从运算放大器输出端至负极输入端的最大电压反馈将主导着整个反馈电路。最大的反馈电压意味着 β 值最大或者是 $1/\beta$ 值最小。

最后，在 $FB\#2$ 取得支配地位之前，预计 V_{out}/V_{in} 的传输函数将随着 $FB\#1$ 的变化而变化。此时， V_{out}/V_{in} 将会衰减至 -20dB/decade，直至 $FB\#2$ 与 A_{ol} 曲线相交，然后，将随着 A_{ol} 曲线下降。

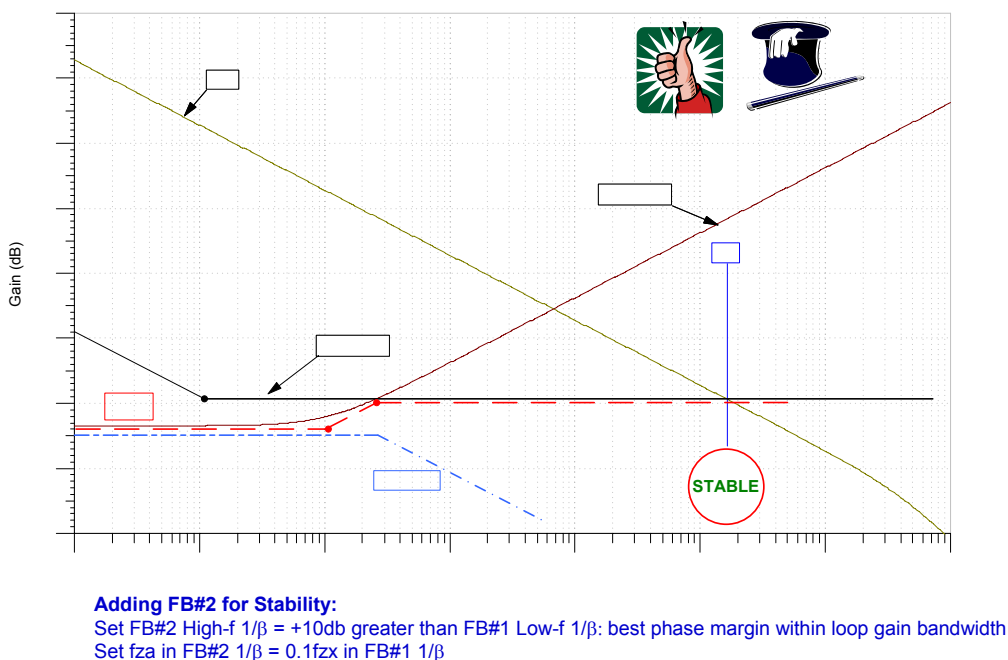


图 10.55 $FB\#2$ 图解分析: CMOS RRO

如图 10.56 所示，里面有一些主要的假设。我们将这些假设运用于几乎所有的具有双通道反馈的 RISO 电路中。首先，我们假设 $CL > 10 \cdot CF$ ，这也就是说，在高频率时， CL 早在 CF 短路之前就短路。因此，我们将短路 CL 以排除 $FB\#1$ ，从而便于单独分析 $FB\#2$ 。另外，我们假设 $RF > 10 \cdot R_{iso}$ ，这意味着作为 R_{iso} 的负载，该 RF 几乎完全失效。从图 10.56 和图 10.57 中具体的公式推导，我们可以看出，当 zero, $f_{za} = 19.41\text{Hz}$ （由 RF 和 CF 产生）时， $FB\#2$ 在原

点拥有一个极点。由于在高频时，CF 和 CL 同时处于短路状态，所以 FB#2 高频 1/β 部分即为 Ro+Riso 与 Riso 之间的比值。FB#2 1/β 的公式推导请参阅下一张图（图 10.57），有关计算结果请参阅下图。FB#2 高频 1/β 设置为 10.92dB 或 20.76dB、原点拥有一个极点以及当频率为 10.6Hz 时的零点。

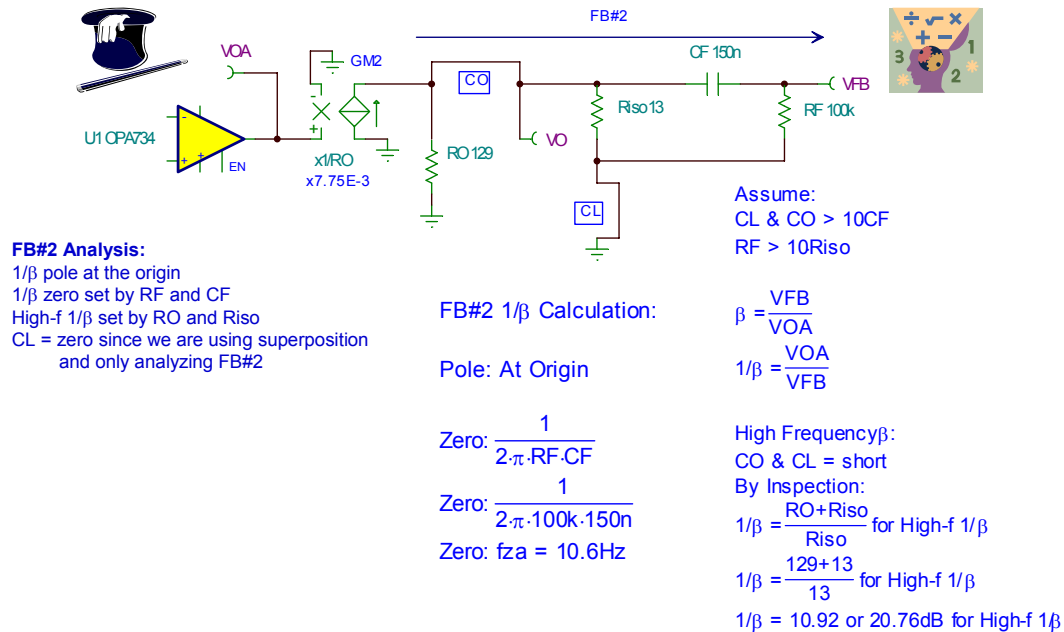


图 10.56 FB#2 分析: CMOS RRO

FB#2 β 的公式推导如图 10.57 左侧所示。由于 1/β 是 β 的倒数，所以 FB#1 1/β 的计算结果可以轻而易举的推导出来，具体推导过程请参阅图 10.57 右侧。从图中我们还发现，在 β 推导过程中的 pole, fpa 变成了 1/β 推导过程中的 zero, fza。

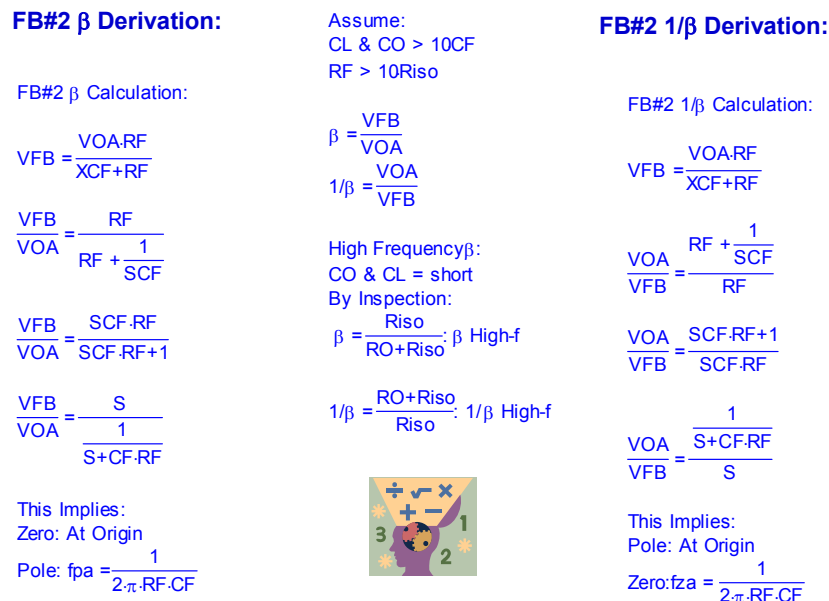


图 10.57 FB#2 分析: CMOS RRO

为了检验 **FB#2** 一阶分析情况，我们可采用如图 **10.58** 所示的 Tina SPICE 电路。而且，为了便于分析，我们将 **CL** 设置为 **10GF**，因此对各种相关的频率而言，**CL** 都等同于短路状态。但是，在开展 **AC** 分析前，仍允许 SPICE 查找到相应的 **DC** 工作点。

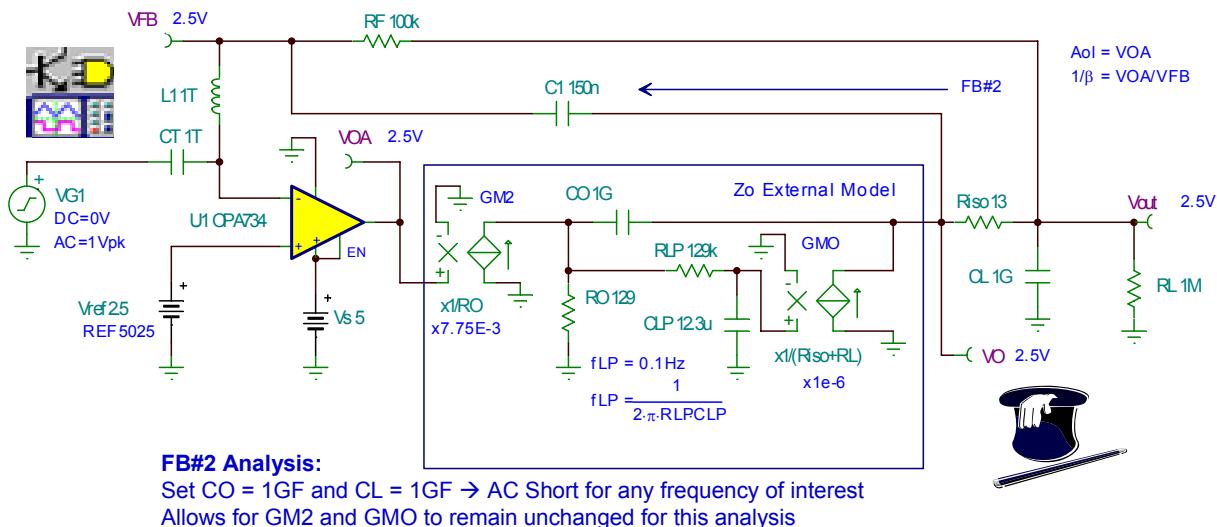


图 10.58 **FB#2** AC 电路分析: CMOS RRO

Tina SPICE 仿真结果如图 **10.59** 所示。**FB#2** $1/\beta$ 曲线正如当 $f_{za} = 10.6\text{Hz}$ 以及高频 $1/\beta = 23.78\text{dB}$ 时，采用一阶分析推算出来的结果一样。另外，我们也绘制出 **OPA734** A_{ol} 曲线，以弄清楚在高频时，**FB#2** 将如何与其相交。

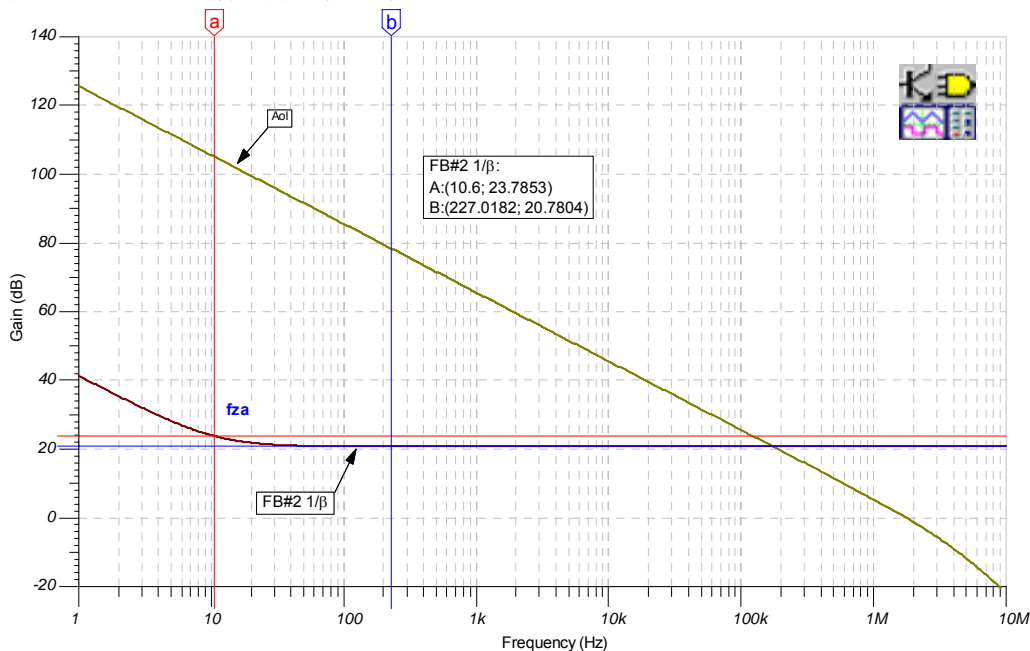


图 10.59 **FB#2** $1/\beta$ 曲线: CMOS RRO

如果推算的 FB#1 和 FB#2 叠加结果会产生所需的最终 $1/\beta$ 曲线，那么我们将通过如图 10.60 所示的 Tina SPICE 电路开展分析工作。同时，我们还可通过 Tina SPICE 电路，绘制出 Aol 曲线、最终的 $1/\beta$ 曲线以及环路增益曲线。

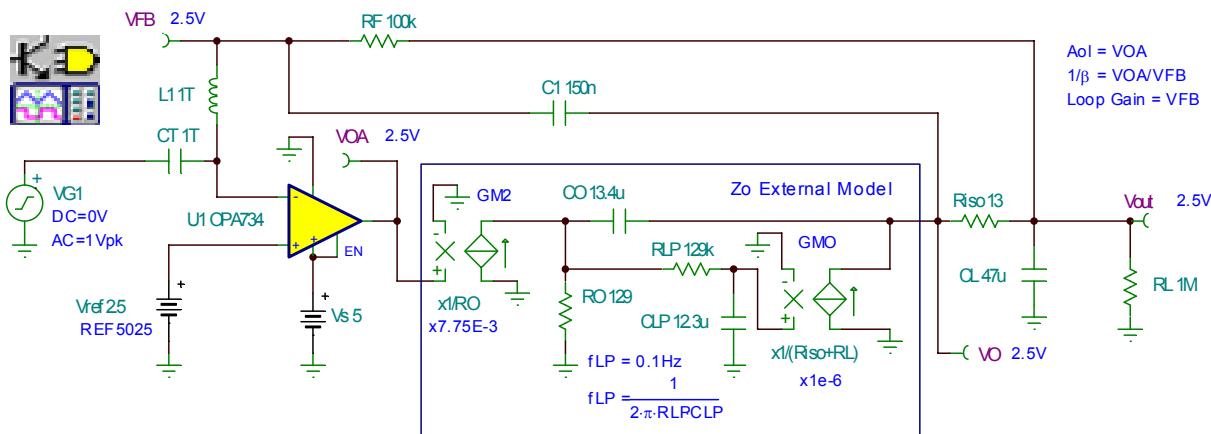


图 10.60 最终环路增益分析电路：CMOS RRO

从图 10.61 中，我们可以看出，分析结果验证了我们所推算的最终 $1/\beta$ 曲线。在环路增益为零的 fcl 处，推算的接近速率为 20dB/decade。

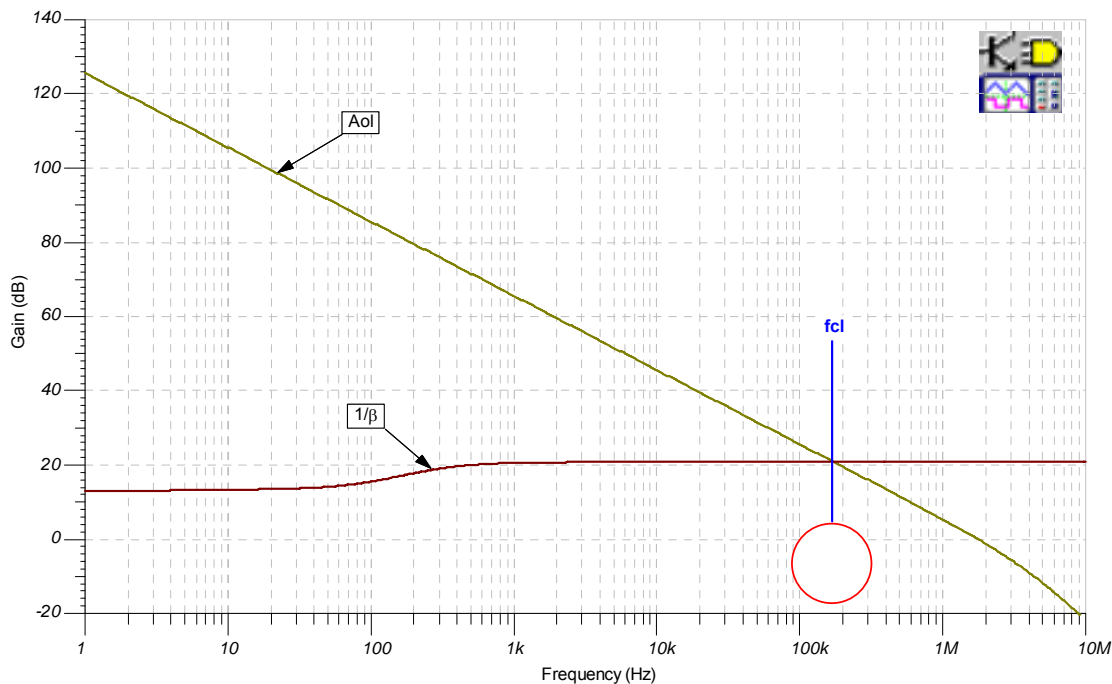


图 10.61 最终的 $1/\beta$ 曲线：CMOS RRO

最终电路的环路增益相位曲线（采用 FB#1 和 FB#2）如图 10.62 所示。相移从未下降至 66.54 度以下（出现在频率为 146.43kHz 的地方），因为，在 fcl 处（频率为 172.64kHz），相位裕度为 87.79 度。

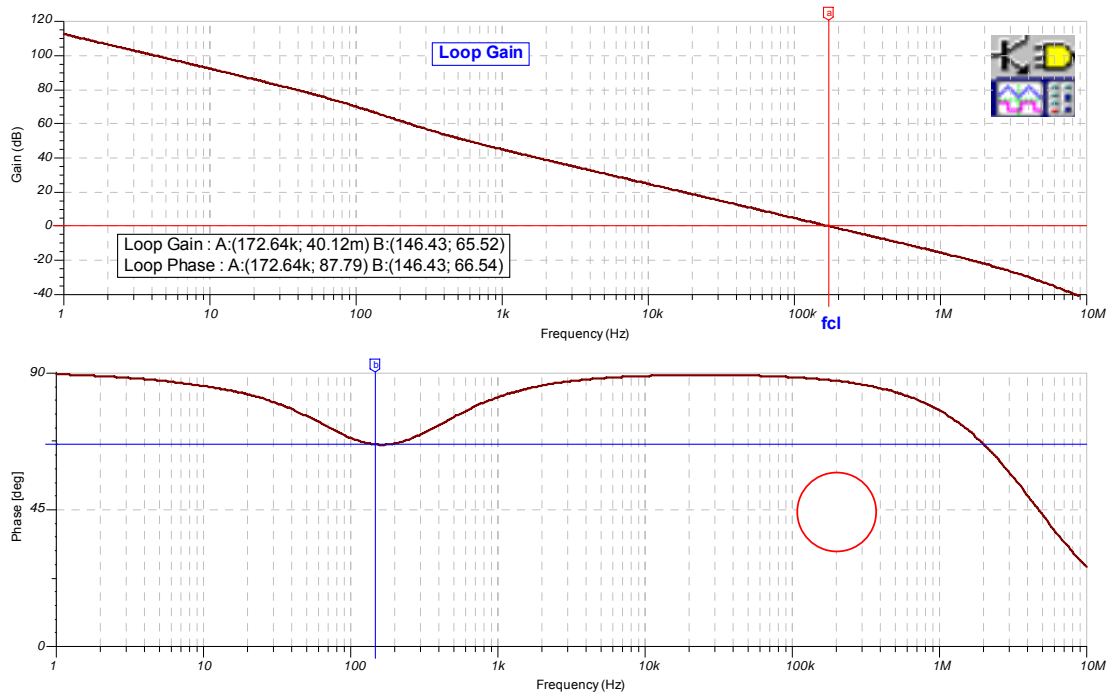


图 10.62 最终环路增益分析: CMOS RRO

我们将采用图 10.63 中的 Tina SPICE 电路对我们的稳定电路进行最后的检验——瞬态稳定性测试。

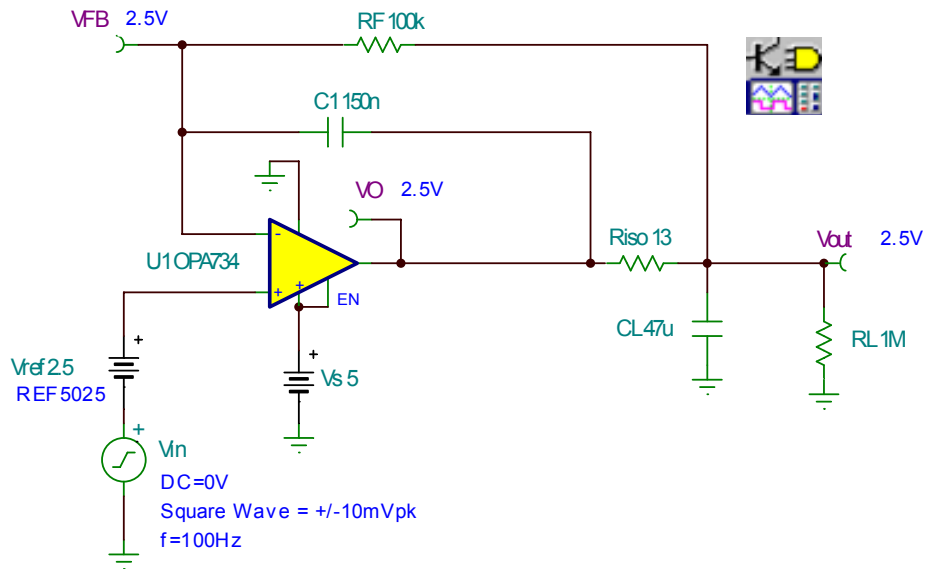


图 10.63 最终瞬态稳定性测试电路: CMOS RRO

图 10.64 中最终电路瞬态稳定性的测试结果符合我们其他所有的推算结果,从而研制出一款性能优良、运行稳定的电路。而且,我们可以信心十足的将这种电路投入量产,因为它不会发生故障或在实际运行中出现异常。

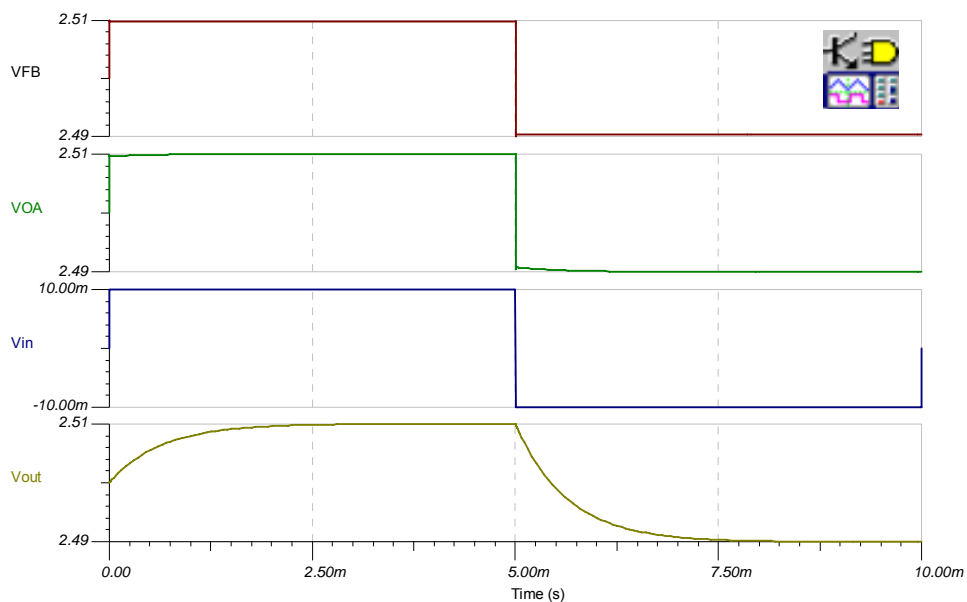


图 10.64 最终瞬态稳定性测试电路: CMOS RRO

通过图 10.65 中的 Tina SPICE 电路, 可验证我们对 V_{out}/V_{in} 的推算是否正确。

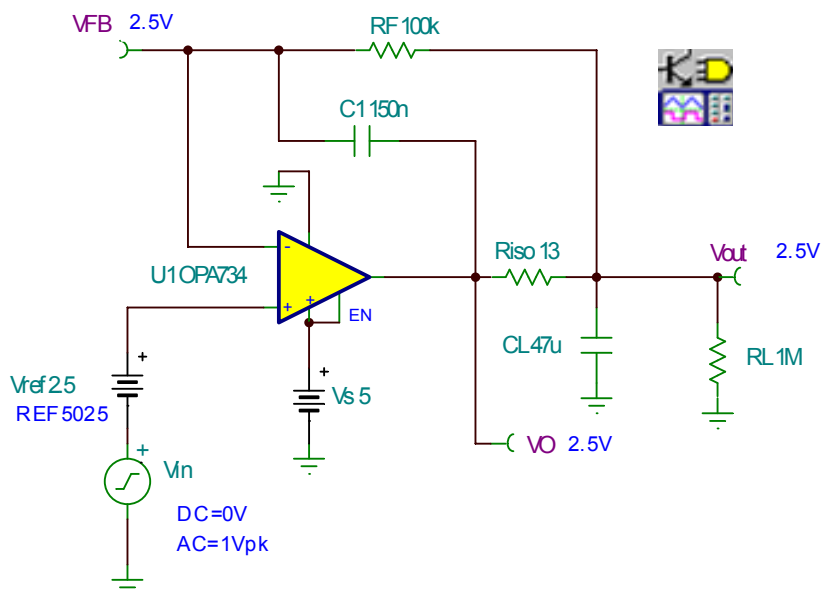


图 10.65 最终 V_{out}/V_{in} 传输函数电路: CMOS RRO

从图 10.66 中, 我们可以看出, V_{out}/V_{in} 的测试结果与我们推算的一阶分析结果一致, 具体表现为: 当频率为 253.88Hz 时, 单极点开始下降。而且, 当频率约为 167kHz (此时, FB#2 与 OPA734 Aol 曲线相交) 时, 出现第二个极点。

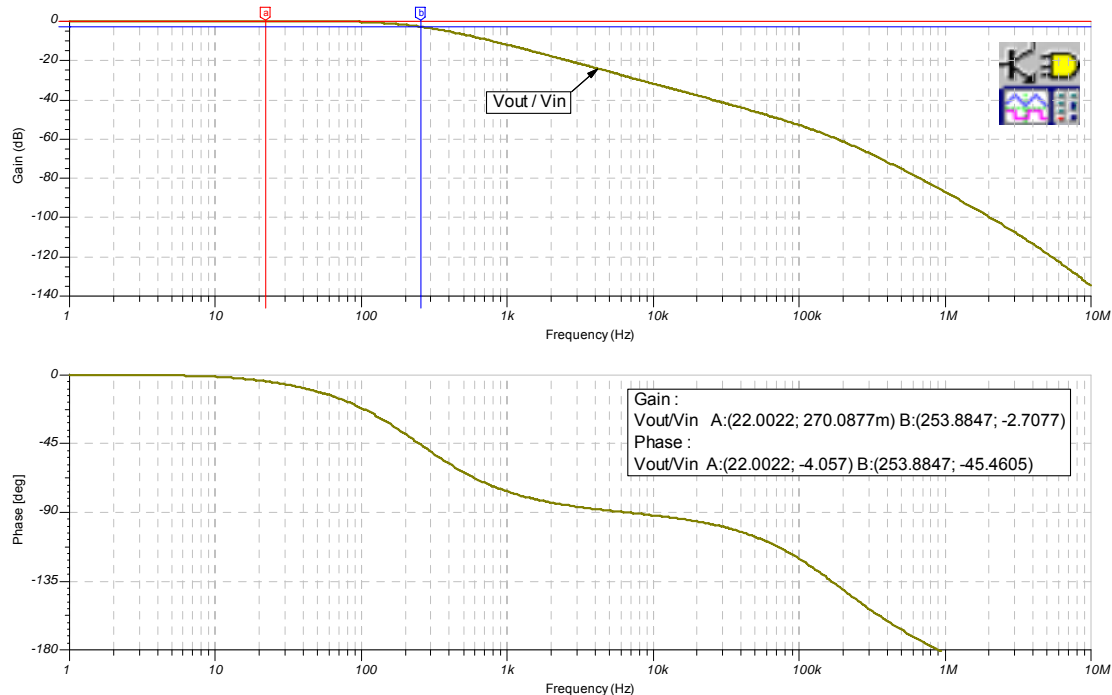


图 10.66 最终 V_{out}/V_{in} 传输函数: CMOS RRO

图 10.67 总结了一种易于使用的渐进式程序。这种程序轻松地将具有双通道反馈的 RISO 电容性负载稳定性技术应用于 CMOS RRO 输出运算放大器上。



FB#1 $1/\beta$ Formulae:

$$\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + R_O)}$$

Note: $\frac{CO \cdot CL}{CL + CO}$ is series combination of CO and CL

$$\frac{1}{\beta} = \frac{CL + CO}{CO} \text{ for Low-f } 1/\beta$$

CO and CL form a Capacitive Divider



FB#2 $1/\beta$ Formulae:

Assume:

CL & CO > 10CF

RF > 10R_{iso}

Pole: At Origin

$$\text{Zero: } f_{za} = \frac{1}{2\pi \cdot R_F \cdot C_F}$$

High Frequency $1/\beta$:

CO & CL = short

By Inspection:

$$\frac{1}{\beta} = \frac{R_O + R_{iso}}{R_{iso}} \text{ for High-f } 1/\beta$$

- 1) 测量运算放大器的 A_{ol}
- 2) 测量运算放大器的 Z_o ，并在图上绘制出其曲线
- 3) 确定 CO 和 RO
- 4) 创建 Z_o 的外部模型
- 5) 计算 FB#1 低频 $1/\beta$ (由 CO 和 CL 导致)

- 6) 将 FB#2 高频 $1/b$ 设置为比 FB#1 低频 $1/b$ 高 +10dB (为获得最佳的 V_{out}/V_{in} 瞬态响应和实现环路增益带宽内相移量最少)
- 7) 从 FB#2 高频 $1/b$ 中选择 Riso 以及 RO
- 8) 从 CO、CL、Riso 和 RO 中, 计算 FB#1 $1/b$ fzx
- 9) 设置 FB#2 $1/b$ fza = $1/10$ fzx
- 10) 选择具有实际值的 RF 和 CF, 以产生 fza
- 11) 采用 Aol、 $1/b$ 、环路增益、 V_{out}/V_{in} 以及瞬态分析的最终值, 运行仿真以验证设计的可行性。
- 12) 核实环路增益相移的下降不得超过 135 度 (>45 度相位裕度)
- 13) 针对低噪声应用: 检查 V_{out}/V_{in} 扁平响应, 以避免增益骤增 $\rightarrow V_{out}/V_i$ 中的噪声陡升

图 10.67 具有双通道反馈的 RISO 补偿程序: CMOS RRO

作者简介

Tim Green 现任美国亚利桑那州图森市 TI 线性应用工程经理。他担任模拟与混合信号电路板/系统级设计工程师长达 24 年之久, 其中包括: 无刷马达控制、飞机喷气式发动机、导弹系统、功率运算放大器、数据采集系统以及 CCD 相机。Tim 最近的工作经验包括模拟与混合信号半导体战略营销。Tim 毕业于亚利桑那大学 (University of Arizona), 获电子工程理学学士学位。如欲联系作者, 请发送邮件至 green_tim@ti.com。