

[51] Int. Cl.

***H03M 1/08 (2006.01)***

***H03M 1/12 (2006.01)***

***H03M 3/02 (2006.01)***



[12] 发明专利申请公布说明书

[21] 申请号 200610126193.0

[43] 公开日 2007 年 3 月 14 日

[11] 公开号 CN 1929309A

[22] 申请日 2006.9.7

[21] 申请号 200610126193.0

[30] 优先权

[32] 2005. 9. 8 [33] US [31] 11/221,620

[71] 申请人 安捷伦科技有限公司

地址 美国加利福尼亚州

[72] 发明人 罗纳德·L·斯沃林

布赖恩·斯图尔特

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 王 怡

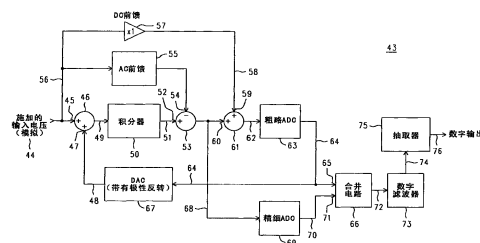
权利要求书 5 页 说明书 22 页 附图 4 页

[54] 发明名称

# 精确低噪声 $\Delta - \Sigma$ 模数转换器

## [57] 摘要

本发明提供了具有粗略和精细 ADC 的  $\Delta - \Sigma$  变换器，其中积分后的误差信号被耦合到粗略 ADC，粗略 ADC 的输出驱动 DAC 以产生实现环路平衡的反馈。粗略 ADC 提供结果的最高有效位。积分后的误差信号还被施加到精细 ADC，精细 ADC 的输出位未被结合在反馈中，但是其与粗略 ADC 的位相组合，并且组合被施加到对代表环路平衡的振荡取平均的滤波器。DC 前馈电路利用所施加的输入信号的拷贝对积分器分路，以经过求和器将其施加到粗略 ADC，从而允许其输出仅为积分后的误差信号，而不包括施加的输入。



1. 一种将所施加的模拟输入信号变换为其数字表示的方法，所述方法包括以下步骤：

（a）将所述施加的模拟输入信号的粗略数字近似的前一实例变换为模拟反馈信号；

（b）形成所述模拟反馈信号和所述施加的模拟输入信号之间的模拟差；

（c）对在步骤（b）中产生的所述模拟差积分；

（d）从所述施加的模拟输入信号生成 DC 前馈电压；

（e）利用在步骤（d）中生成的 DC 前馈电压调节在步骤（c）中产生的积分后模拟差以产生粗略合成信号；

（f）将所述粗略合成信号变换为所述施加的模拟输入电压的粗略数字近似的下一实例，从而所述粗略数字近似的每个下一实例可作为所述施加的模拟输入信号的粗略近似的所述前一实例而被用在步骤（a）的各个新实例中；以及

（g）对于步骤（f）的每个实例，将步骤（c）的积分后模拟差变换为精细数字值的下一实例，所述精细数字值代表步骤（f）的粗略数字近似的增大的分辨率。

2. 如权利要求 1 所述的方法，还包括步骤（h）：将所述粗略数字近似和所述精细数字值的相应实例合并为代表所述施加的模拟输入信号的值的统一数字值。

3. 如权利要求 2 所述的方法，还包括步骤（i）：数字地处理统一数字值的序列。

4. 如权利要求 1 所述的方法，其中用在步骤（a）中的粗略数字近似的前一实例与所述施加的输入信号是数字互补的且具有相反极性，并且步骤（a）的变换包括利用相反极性的信号进行脉宽调制，步骤（b）包括模拟加法。

5. 如权利要求 1 所述的方法，其中用在步骤（a）中的粗略数字近似的

前一实例与所述施加的输入信号具有相同极性，并且步骤（a）的变换包括利用相同极性的信号进行脉宽调制，步骤（b）包括模拟减法。

6. 一种将所施加的模拟输入信号变换为其数字表示的方法，所述方法包括以下步骤：

（a）将所述施加的模拟输入信号的粗略数字近似的前一实例变换为模拟反馈信号；

（b）形成所述模拟反馈信号和所述施加的模拟输入信号之间的模拟差；

（c）对在步骤（b）中产生的模拟差积分；

（d）从所述施加的模拟输入信号生成 AC 前馈信号；

（e）利用在步骤（d）中生成的 AC 前馈信号调节在步骤（c）中产生的积分后模拟差以产生经调节的积分后误差信号；

（f）从所述施加的模拟输入信号生成 DC 前馈电压；

（g）将步骤（e）的经调节积分后误差信号与在步骤（f）中生成的 DC 前馈电压相组合以产生粗略合成信号；以及

（h）将所述粗略合成信号变换为所述施加的模拟输入电压的粗略数字近似的下一实例，从而所述粗略数字近似的每个下一实例可作为所述施加的模拟输入信号的粗略近似的所述前一实例而被用在步骤（a）的各个新实例中。

7. 如权利要求 6 所述的方法，还包括步骤（i）：对于步骤（h）的每个实例，将步骤（e）的经调节的积分后误差信号变换为精细数字值的下一实例，所述精细数字值代表步骤（h）的粗略数字近似的增大的分辨率。

8. 如权利要求 7 所述的方法，还包括步骤（j）：将所述粗略数字近似和所述精细数字值的相应实例合并为代表所述施加的模拟输入信号的值的统一数字值。

9. 如权利要求 8 所述的方法，还包括步骤（k）：数字地处理统一数字值的序列。

10. 如权利要求 6 所述的方法，其中用在步骤（a）中的粗略数字近似

的前一实例与所述施加的输入信号是数字互补的且具有相反极性，并且步骤（a）的变换包括利用相反极性的信号进行脉宽调制，步骤（b）包括模拟加法。

11. 如权利要求 6 所述的方法，其中用在步骤（a）中的粗略数字近似的前一实例与所述施加的输入信号具有相同极性，并且步骤（a）的变换包括利用相同极性的信号进行脉宽调制，步骤（b）包括模拟减法。

12. 一种将所施加的模拟输入信号变换为其数字表示的方法，所述方法包括以下步骤：

（a）将所述施加的模拟输入信号的粗略数字近似的前一实例变换为模拟反馈信号；

（b）形成所述模拟反馈信号和所述施加的模拟输入信号之间的模拟差；

（c）由所述施加的模拟输入信号生成 AC 前馈信号；

（d）利用在步骤（c）中生成的 AC 前馈信号调节在步骤（b）中产生的模拟差以产生经调节的模拟差；

（e）对步骤（d）的经调节的模拟差积分以产生经调节的积分后误差信号；

（f）由所述施加的模拟输入信号生成 DC 前馈信号；

（g）将步骤（e）的经调节积分后误差信号与在步骤（f）中生成的 DC 前馈信号相组合以产生粗略合成信号；以及

（h）将所述粗略合成信号变换为所述施加的模拟输入电压的粗略数字近似的下一实例，从而所述粗略数字近似的每个下一实例可作为所述施加的模拟输入信号的粗略近似的所述前一实例而被用在步骤（a）的各个新实例中。

13. 如权利要求 12 所述的方法，还包括步骤（i）：对于步骤（h）的每个实例，将步骤（e）的经调节的积分后误差信号变换为精细数字值的下一实例，所述精细数字值代表步骤（h）的粗略数字近似的增大的分辨率。

14. 如权利要求 13 所述的方法，还包括步骤（j）：将所述粗略数字近

似和所述精细数字值的相应实例合并为代表所述施加的模拟输入信号的值的统一数字值。

15. 如权利要求 14 所述的方法，还包括步骤 (k)：数字地处理统一数字值的序列。

16. 如权利要求 12 所述的方法，其中用在步骤 (a) 中的粗略数字近似的前一实例与所述施加的输入信号是数字互补的且具有相反极性，并且步骤 (a) 的变换包括利用相反极性的信号进行脉宽调制，步骤 (b) 包括模拟加法。

17. 如权利要求 12 所述的方法，其中用在步骤 (a) 中的粗略数字近似的前一实例与所述施加的输入信号具有相同极性，并且步骤 (a) 的变换包括利用相同极性的信号进行脉宽调制，步骤 (b) 包括模拟减法。

18. 一种将所施加的模拟输入信号变换为其数字表示的方法，所述方法包括以下步骤：

(a) 利用第一分辨率将所述施加的模拟输入信号的粗略数字近似的前一实例变换为模拟反馈信号；

(b) 形成所述模拟反馈信号和所述施加的模拟输入信号之间的模拟差；

(c) 对在步骤 (b) 中产生的模拟差积分；

(d) 由所述施加的模拟输入信号生成 DC 前馈电压；

(e) 利用在步骤 (d) 中生成的 DC 前馈电压调节在步骤 (c) 中产生的积分后模拟差以产生粗略合成信号；

(f) 利用大于所述第一分辨率的第二分辨率将步骤 (e) 的粗略合成信号变换为所述施加的模拟输入电压的粗略数字近似的下一实例，从而所述粗略数字近似的每个下一实例可作为所述施加的模拟输入信号的粗略近似的所述前一实例而被用在步骤 (a) 的各个新实例中；

(g) 对于步骤 (f) 的每个实例，将步骤 (f) 的粗略数字近似的与所述第二分辨率超过所述第一分辨率的量相对应的最低有效部分变换为辅助模拟电压；

(h) 对于步骤 (g) 的每个实例，将所述辅助模拟电压加上步骤

(c) 的积分后模拟差；以及

(i) 对于步骤 (h) 和 (f) 的每个实例，将在步骤 (h) 中产生的和变换为精细数字值的下一实例，所述精细数字值代表步骤 (f) 的粗略数字近似的增大的分辨率。

19. 如权利要求 18 所述的方法，还包括步骤 (j)：根据对所述施加的输入信号执行的选定 AC 传递函数调节步骤 (c) 的积分后模拟差。

20. 如权利要求 18 所述的方法，还包括步骤 (j)：根据对所述施加的输入信号执行的选定 AC 传递函数调节在步骤 (b) 中形成的模拟差。

## 精确低噪声 $\Delta$ - $\Sigma$ 模数转换器

### 技术领域

本发明涉及带有 AC 前馈以及合并的粗略和精细结果的 $\Delta$ - $\Sigma$ 体系结构 ADC。

### 背景技术

基本的 $\Delta$ - $\Sigma$  (delta-sigma) 体系结构是这样一种结构：模拟输入值被与反馈值（经常实现为电压）相加以产生误差，误差被 ADC（模数变换器）积分并随后被量化为离散值。由 ADC 驱动的 DAC（数模变换器）产生反馈值。当反馈值等于输入值时，积分器输出停止倾斜，但是由于 ADC-DAC 组合的有限分辨率（即，反馈值被量化，而输入值没有，因此精确的抵消是不太可能的），一般在环路平衡的真实点的任何一侧上振荡（hunt）。一般来说，ADC 和 DAC 以相同速率进行操作，并且该速率对应于远高于允许施加的输入变化的有限带宽的带宽。数字滤波器响应于来自 ADC 的量化值的序列；数字滤波对振荡取平均以产生对应于（可能在某些环路平衡所需的简短延迟之后，或者几乎是这样）带宽有限的输入的最近值的结果。如果需要的话，则 ADC 值可被进一步处理以产生代表所施加的模拟输入值的另一种测量结果（例如，其均方根值）的数字输出。

刚刚描述的基本 $\Delta$ - $\Sigma$ 体系结构是公知的，并且该基本体系结构及其变体已用在多种不同应用中，如文献所记载。具体而言，参见由 Steven R. Norsworthy, Richard Schreier 和 Gabor C. Temes 编辑的 IEEE 出版社于 1997 年出版的“Oversampling delta-sigma data converters Theory, Design and Simulation”一书（ISBN 0-7803-1045-4）。

过去几年中已经有多种对基本 $\Delta$ - $\Sigma$ 技术的改进或扩展，因为 $\Delta$ 调制器首先由 C. C. Cutler 于 1954 年提出（见 USP 2,927,962），而对 $\Sigma$ 的改进由 Inose, Yasuda 和 Murakami 于 1962 年提出。在这些技术中，有各种方式

（通过嵌套或级联）来将体系结构的一个实例与另一个（“高阶环路”）相结合以改进性能。

目前， $\Delta$ - $\Sigma$ 体系结构是已知用于 ADC 的最精确的体系结构。其他 ADC 体系结构可能运行更快，但是 $\Delta$ - $\Sigma$ 体系结构具有主要仅仅依赖于 DAC 的精度和线性。这可以通过以下方式意识到：考虑正是实际输入和由 DAC 产生的其拷贝之间的差是反馈的来源，反馈驱动环路到达平衡（其中“平衡”包括“随时间达到平衡”的关于正确结果连续振荡的概念）。ADC 中的任何非线性或者积分器中的偏移或非线性被环路解释为要通过振荡清零的进一步的误差。这样，我们可以认为振荡具有对应于来自于 ADC 和 DAC 中的有限分辨率的量化分量以及表现为使得环路平衡（通过振荡）所需的无论何种程度的其他分量。通过定义，当环路被这样平衡时，到 DAC 的数字输入已经可以在我们可以检测到实际输入和反馈之间的误差的程度上代表输入。这就是为何积分器是 $\Delta$ - $\Sigma$ 体系结构中的一个有力元件的原因：随着时间的流逝即使非常小的误差（考虑不平衡程度）也会被累积为可观的量，其驱动振荡过程并对其清零。

现在，我们相信在所结合的'241 B2 专利中描述的 DAC 目前基本上如同其用在 $\Delta$ - $\Sigma$ 变换器中的一样好。其是被设计为表现出非常稳定的转变时刻和大的电压摇摆的脉宽/占空比事件。在本申请中，我们寻找方法来操作 $\Delta$ - $\Sigma$  ADC 从而可以在商业生产的 DVM（数字伏特计）中获得最佳的线性和最大的精度。我们还注意到在文献中描述的许多“高阶环路”具有稳定性问题（例如，在某些条件下振荡行为变为故意的和独立的“自绕组振荡器”，而不是一种跟踪输入并清除误差的机制）。

在许多方面中， $\Delta$ - $\Sigma$ 体系结构类似于采样控制环路，并且所需的积分可由离散（采样）或连续积分器机制来提供。客户或其他大量/低成本应用想要获得的 $\Delta$ - $\Sigma$ 变换技术的某些实例已经应用于集成电路（IC）设计技术，以在单个芯片内产生整个 $\Delta$ - $\Sigma$ 变换器。作为这些努力的一部分，经常避免使用连续积分器，而倾向于开关电容器积分技术，这种技术独自基于在 DAC 和 ADC 进行判决以确定其输出内的离散时间点处进行的采样来产生输出。（对于稳定状态 DC 输入，开关电容器积分器产生就好像在使用



连续积分器时的实际连续积分器的输出。)并且,由于开关电容器积分器使用采样技术来强制离散时间点的概念,因此 AC 输入被自动量化为一系列离散步进(在环路判决之间的间隔期间的 AC 输入中的任何改变都不被看见并且被忽略)。然而,这种开关电容器积分技术受到各种误差机制的影响,这些误差机制限制了其作为其中一部分的 $\Delta$ - $\Sigma$ 变换器的精度(即使对于 DC 输入也是如此)。目前,最高精度的 $\Delta$ - $\Sigma$  ADC 必须使用实际的连续时间(真实的模拟)积分器。

此外,如果用于 $\Delta$ - $\Sigma$ 体系结构中的反馈的环路判决时间较短(在微秒的量级),则我们尝试使用 $\Delta$ - $\Sigma$ 技术来生成代表具有高达 100KHz 等的带宽的 AC 信号的数字值序列。然而,获得 DC 的高精度所需的真实模拟积分器产生了与频率有关的误差(在积分环路误差信号中),该误差随着频率的变高而增大,并且降低了环路性能。从而,使用带有 AC 输入的连续积分器是易于改进的 $\Delta$ - $\Sigma$ 行为的另一领域。

看起来使用实际的连续积分器执行 AC 信号的“额外”积分给振荡增加了附加分量。(其只有在下面的含义下才是“额外的”:AC 输入持续在用于量化和反馈调节的环路判决周期的间隔中改变,并且连续积分器看见该移动并将其结合到积分结果中。)在某种意义上,这些误差信号中的额外移动构成了对输出有不利影响的不希望产生的分量(只要涉及到环路的量化方面它们就会出现,其无处不在)。

因此,希望获得一种消除了与在 $\Delta$ - $\Sigma$ 变换器中产生的与输入频率有关的误差的方法,这种 $\Delta$ - $\Sigma$ 变换器是精确的并且使用连续时间真实模拟积分器。

## 发明内容

$\Delta$ - $\Sigma$ 变换器通过结合了适当的高精度的 DAC 和用于两个 ADC 的粗略/精细体系结构,实现了稳定的高速精确结果,其中积分误差信号耦合到粗略 ADC,粗略 ADC 的多位输出驱动 DAC 产生实现了环路平衡的反馈。粗略 ADC 还提供结果的最高有效位。积分误差信号还被施加到精细 ADC,精细 ADC 的输出位未被结合到反馈中,但是其与粗略 ADC 的位相

组合。组合后的粗略和精细 ADC 的位被处理并被施加到滤波器，该滤波器对代表环路平衡的振荡取平均。结果明显地增大了变换器操作的分辨率，该分辨率允许在滤波之前进行可变速度一分辨率选择。整体的线性实质上仅依赖于 DAC 的线性。DC 前馈电路利用所施加的输入信号的拷贝对积分器分路，以通过求和器将其施加到粗略 ADC。由于受反馈驱动的振荡对于任何静态输入强制误差信号平均为零，因此积分器输出仅仅是积分误差信号，而不包括施加的输入的积分，这降低了对精细 ADC 动态范围的需要。AC 前馈电路提供了补偿电压，该补偿电压被从积分器输出中去除（或者被添加到其输入），并且校正了在积分器输出处出现的与频率有关的误差（如果使用连续时间真实模拟积分机制的话）。该技术使用了最少的组件，并且与诸如开关电容器之类的离散积分技术兼容，也与用来替代优选的多位反馈的单位反馈兼容。

#### 附图说明

图 1 是现有技术 $\Delta$ - $\Sigma$  ADC 的简化框图；

图 2 是结合了前馈的现有技术 $\Delta$ - $\Sigma$  ADC 的简化框图；

图 3 是合并了粗略和精细结果的改进的 $\Delta$ - $\Sigma$ 精确 ADC 的简化框图；以及

图 4 是代表图 3 的框图的特定优选实现方式的简化框图。

#### 具体实施方式

现参考图 1，图 1 中示出了用于执行模数变换的早期的现有技术 $\Delta$ - $\Sigma$ 配置的简化框图 1。输入电压 2 被施加到输入导线 3，从输入导线 3 耦合到模拟电压求和电路 5 的第一+（正）输入 4。施加到导线 3 的输入电压可在其到达第一+输入 4 之前受到预先安排的合适的信号调节（未示出），信号调节的目的可能是将输入衰减已知量，限制  $dv/dt$ ，或者通过在电压漂移超过某一幅度时对其进行钳制来限制电压漂移等等。

另外，反馈电压 7 施加到电压求和电路 5 的第二+端 6，反馈电压 7 近似于更大或更小程度的施加的输入信号 2 的相反极性拷贝。从而，电压求

和电路 5 的输出 8 是误差信号（差值），其指示反馈电压 7 实际上不是施加的输入信号 2 的拷贝的情形。

在图 1 的基本体系结构中，误差信号 8 被积分器 9 积分，积分器 9 的输出 10 被数字化（11、12、13）以用于后续的处理（16、17、18），从而变为所需的数字输出（19），同时相同的数字化积分器输出 14 也通过反馈 DAC 15 返回到模拟反馈电压 7 中。（来自 ADC 的数字输出 14 实现在 DAC 15 的内部以在其被变换为模拟电压之前反转其极性。）积分器的使用具有某些后果，理解这些后果是理解下文的有用起点。主要优点是积分器输出充当了环路状态历史的累积存储器（即，其累积了进行中的误差以允许通过振荡实现平衡）。如果数字化输出 14 应当从反馈 DAC 产生没有误差信号 8 的反馈电压 7，则积分器输出 10 将停止变化：环路将准确收敛，并且将（理想地）保持该状态直到在输入中产生变化。当然，这种理想情形很少发生（如果曾经发生的话），这是因为必须首先获得各种条件：施加的输入 2 可能需要是静态的以与 ADC 和 DAC 的离散时间特性相一致（或者至少不在除环路判决定时以外的时间变化），并且施加的输入需要是 DAC 可以精确产生的值从而产生零误差信号。

操作的主导和典型方式是误差信号 8 被以一种方式或另一种方式变为非零的小量。当前其暂时是一个较小的量，但是 ADC 的输出 14 的增加会产生比现有误差更大的误差。后续的误差信号被积分器 9 累积，导致其输出 10 发生更大的变化，从而最终产生 ADC 的变化。该变化由 DAC 15 反映，并且也由误差信号 8 反映，误差信号 8 目前向另一方向偏离了一定量。积分器开始对其输出向另一方向倾斜，直到误差信号的极性出现另一反转，并且同样的情况再次发生。环路在进行振荡。这并不是一种坏情形，我们可以确信所有一切都正常进行，并且在给定稳定输入的情况下，误差信号 8 的平均值为 0（或者积分器将“看见”持久误差，并将其积分为具有相应反馈的可动量）。从误差信号的平均值为 0 我们可以得出某些结论。主要一点是如果 DAC 是接近理想的，则 ADC 的输出的平均值必定代表输入（这是因为 DAC 的输出就是 ADC 的输出）。另一结论是 DAC 中的任何非线性特性被产生平衡所需要的振荡中的自动调节所掩盖（同

样，这是在时间平均的意义上）。

$\Delta$ - $\Sigma$ 环路的非收敛性可被认为是在长除法中发生的重复和无休止的小数。如果告知一个数字串，1428571428571...，则在某些思考之后可以确定这代表了  $1/7$  的某些变化。我们很快就可以发现，这种 $\Delta$ - $\Sigma$ 对无休止的比较是不正确的（尽管最初是有吸引力的）。为了研究这一示例，环路的输出实际上更可能为  $1/7$ 、 $1/8$ 、 $1/7$ 、 $1/9$ ...等。

现在可以更好地理解数字滤波器 16 的功能。其输出是上述的“平均”值，其目的是抑制振荡（振荡是值的序列）并且利用单个值来替换振荡。回想一下，我们曾经说过，环路操作的循环时间可能比我们准备用来施加作为输入电压 2 的最快的  $dv/dt$  快许多倍。即，ADC 和 DAC 每微秒产生新的输出。然后滤波器 16 能够在其输出 17 处适当地重构（当然是数字形式的）甚至 100 千赫兹的输入信号。在所施加的输入电压已知较慢，并且下游进一步使用的机制不想要或需要这种快速信号的表达的情况下，抽取器（decimator）18 可以在其输出 19 处产生较慢的数据速率。这种配置还可以在可获得完全测量的速率和其分辨率之间实现可调节的平衡。

事实上，平均量和抽取因子可以依赖于应用或应用内的配置而变化。增加平均度减少了测量噪声。这允许实现输入信号带宽和分辨率之间的平衡。当平均度较高时，通常增大抽取因子以使所期望的测量带宽与读取（测量）速率匹配。这正是其为何能够实现测量速度和分辨率之间的平衡的原因。这种机制是公知的，并且 ADC 采样速率对被抽取的样品速率的比率被称为过采样因子。

典型地，以图 1 的方式构造的传统变换环使用单位比较器作为 ADC，并且使用相对较简单的单位 DAC，同时以非常高的速率操作环路。其操作产生了位序列（即，每一位代表了正或负的满刻度），位序列被产生最后  $n$  位的平均值的滤波器解释。滤波器一般具有这样的“形状”，其例如使得更多的权重被赋予  $n$  多位中间的若干位。应当注意，图 1 的环路将产生以环路判决速率改变的误差信号 8，除非其精确收敛（很大的机会）。这些改变是进行中的变化（振荡）中的步进。这些由以环路判决速率的步进式改变构成的进行中的变化被 ADC（11、13）积分、测量，并被滤波器

16 从 ADC 的输出 14 中“移去”。

在进行之前，进一步考虑与数字滤波器 16 和要滤波的值的特性有关的某些主题是有用的。作为这种探索的一部分，使 ADC（11、13）成为多位 ADC，即六位或八位 ADC（其量要完全能够实现，并且其使用是实际的）是有用的。该操作开始于识别用于滤波的整体范例。为了方便不太熟悉 $\Delta$ - $\Sigma$ 的人，识别所使用的实际范例并忽略不使用的另一个是有用的。

在任何一种情况下，来自 ADC 的  $n$  位都被当作标识  $2^n$  符号的值空间中的序数值的各个符号。因此，如果 ADC 为四位，则我们将毫不犹豫地 将这些符号标识为简单的十六进制数：0、1、2...9、a、b、c、d、e 和 f。在单个位的普通情形中，两个数是二进制 1 和 0。在八位情形中，值空间的大小是 256 个符号，并且我们没有该集合的 256 个不同成员的简易名（或数字符号）的列表，也没有该集合的可识别的传统名（代数学领域的专家称其为整数模  $2^8$ ，或者 I 模 256），因此我们将这八位归为一组（每一个作为熔合量（fused quantity）），并将每一个这样的组看作“八 things 长”的复合符号。我们并不关注“things”（自身是二进制含义的位），其只是一种代表符号的手段，并且在任何情况下，我们都不会简单地将各个位级联为一个长的串，并称其为长二进制数。

有人可能认为变换开始，并且所产生的符号有控制符号之间如何彼此关联的开头。在早先的  $1/7$  的无休止小数的示例中，串 142857142... 的第一数字 1 的权重为  $1/10$ ，第二数字 4 的权重为  $1/100$ ，依此类推。其含义是 $\Delta$ - $\Sigma$ 测量周期和滤波操作都有一个开头和一个持续时间，此后这两者都重新开始，并且这是对特定加权求和的“滤波”量所指示的。然而，除了初始起始之外， $\Delta$ - $\Sigma$ 变换环没有这样的开头。在其开始后，其仅仅不确定地运行。滤波可以在此后的任何时刻连接到输出，并且将会在足够多的符号已被滤波后产生有效结果；没有第一符号，也没有任何与符号相关联的永久位置重要性。

因此，这就是正确的范例。环路连续运行，产生长度不确定的符号序列。滤波器具有最后  $q$  多个的符号的孔径，并且利用施加到滤波器的最后  $q$  多个符号的加权求和来产生平均值。每次施加新的符号时，丢弃最老的

一个，并且利用滤波器包含不同的  $q$  多个符号。其从该新的符号组合中产生了新的平均值（一旦流水线被填满），进来一个新的符号，就出去一个新的平均值。不要忘了经常出现以下的情形： $q$  多个符号序列中的中央或中间的符号在计算平均值时相比于位于序列开头和末尾的符号被赋予更大的权重。

为了清楚说明，我们最后一次讨论  $1/7$  示例。如果四位 ADC 被用于对称的正或负输入，则满刻度结果的  $+(1/7)$  可能代表什么呢？四个位对十六个不同符号进行编码，其含义是满刻度的  $\pm 0/8$ 、 $\pm 1/8$ 、 $\pm 2/8$ 、 $\pm 3/8$ ... $\pm 7/8$  部分。我们可以将这十六个符号命名为  $a$ 、 $b$ 、 $c$ 、 $d$ 、 $e$ 、 $f$ 、 $g$ 、 $h$  和  $-a$ 、 $-b$ 、 $-c$ 、 $-d$ 、 $-e$ 、 $-f$ 、 $-g$ 、 $-h$ ，或者我们可以将在分子中使用的  $\pm 0$  到  $\pm 7$  用作名称，只要不混淆即可。不管怎么命名，在操作  $\Delta$ - $\Sigma$  滤波器系统时，我们几乎都肯定要用到四位组的两个互补表示（这是优选的）或符号大小表示（ $S000$ 、 $S001$ 、 $S010$ ... $S111$ ，其中  $S$  代表符号位）中的一种。因此，代表  $+1/7$  的一种方式序列  $b$ 、 $c$ 、 $b$ 、 $b$ 、 $c$ 、 $a$ 、 $d$ 、 $b$ 、 $c$ ...。利用统一加权，这九个符号平均到  $0.138888\cdots$ ，这比  $0.1428571\cdots$  的期望值小  $0.004$ 。更长的序列允许更好的近似，即使在输入（目标  $1/7$ ）在反馈控制的近似过程期间（缓慢地）改变也是如此。

下面，简要讨论与  $\Delta$ - $\Sigma$  电路的设计者密切相关的话题：噪声整形，以及其是如何影响滤波器的。这要求我们采用在一定程度上是专用的“噪声”概念，就好像专用于  $\Delta$ - $\Sigma$  电路中的那种。

最开始，我们要注意  $\Delta$ - $\Sigma$  操作的基本规则看起来是非常确定的（其本质上是完全可计算的）。我们还要承认，在理想情况下，简要地说，断言在给定对具体的  $\Delta$ - $\Sigma$  电路的足够详细的描述的前提下，计算机程序（或者可能是某些其他模型）可以以一定的确定性预言环路对于任何给定的初始条件集合将会产生的符号序列。然而，实际情况是不同的。

尽管  $\Delta$ - $\Sigma$  经常被当作其是真正的线性系统一样来加以分析，但是在实际情况中，其包含在量化中固有的不连续性（其表现为输出相对于输入的非线性）。这允许产生小量的“真正”热引入的随机行为或类似量子的随机行为（这两者都是不可避免地存在着的），以产生不可预测的内部信号

波动，这种内部信号波动激励了与非线性系统中的混乱行为相关联的“对初始条件的敏感性”行为。我们可以认为 $\Delta$ - $\Sigma$ 大体上是线性的，但是具有某些分布的离散非线性点。因此，就好像是下面的情形一样：在具有随机噪声发生器的环路中具有邪恶点，并且在某些判决周期之后，长期确定可预测性消失，且关于模型中的增益、阈值和延迟无法获得有限精度和有限量的额外细节将使其在五十或一百个判决周期后无法精确预测实际电路的行为。短期可预测性仍然存在，就好像利用统计方法预测整体行为的特性一样。

在该情形下，分析 $\Delta$ - $\Sigma$ 行为的通常方法是由环路创建的符号行为可分为两类。一类是作为跟踪改变输入的结果而发生的基础环路响应，另一类是即使在输入全部是稳定的且不改变的情况下也存在的振荡。马上我们就可看到滤波器的期望属性是其抑制（平均）了振荡，而不会不适当地影响滤波器环路输出跟踪正改变的输入的能力。我们应当发现，振荡是高频行为，其极大地偏离了（在频率轴上）我们期望环路如实地跟踪的施加输入的最高频率。在某种程度上，这可以通过使环路在判决时间进行操作来安排，判决时间相对于所施加的输入允许表现的最短时间段来说较短。

但是还不止于此。回想上面对于  $1/7$  平均的符号的示例。对于任何给定的实现方式，有一个振荡被平均到期望分辨率所需的期望序列长度。该序列长度正是滤波器必须对其操作且移去的序列长度。在该说明书中讨论的体系结构是“一阶的”，并且对于一阶环路而言，过采样因子的每次加倍都引起了与振荡有关的噪声的一位和一位半的减小。

在记住所有上述内容后，通常的分析就是将振荡表征为真实的随机噪声，然后询问可以对环路的体系结构进行什么样的操作以将其移到频谱中的较高频率位置。从而出现了应用到 $\Delta$ - $\Sigma$ 的术语“噪声整形”。看起来还是可以进行某些操作的。

现在考虑图 2 中所示的改进体系结构 20。其也是传统的，但是改进点是我们所关注的。如前面一样，所施加的输入电压 21 出现在模拟电压求和电路 23 的第一+（正）输入 22。同样，第二+输入 24 接收代表由整个环路提供的（未滤波的）输出的（先前已反转极性的）反馈电压 25。同样，

（粗略的）环路输出（36）是 ADC（33、34、35）的输出，其被施加于：

（A）反馈 DAC 37，37 的输出 25 被施加于电压求和电路的第二+输入 24 以产生误差信号 26；和（B）滤波器 38，38 的输出 39 可以被抽取器 40 进行欠采样以产生数字输出 41。

然而，在图 2 中，实际输入 21 也被施加到电压求和器 30 的一个+（正）输入 31，电压求和器 30 的另一个+输入 29 是积分器 27 的输出，其输出 32 是到 ADC（33、34、35）的输入。这样的效果是将输入电压 21 直接施加到 ADC。如前面一样，积分器由误差信号 26 驱动，但是现在误差信号 26 仅代表环路不能精确对输入量化的误差，而不包括由等待积分器跟踪所施加的输入电压 21 的变化而引起的误差。即，可能单位 ADC 和 DAC 仅能代表 $\pm 1$ （乘上零到正的满刻度），并且甚至是多位 ADC 和 DAC 可以精确代表对应于离散的 $\pm$ 二进制满刻度分数值的符号。然而，这些都不能利用单个符号精确形成  $1/7$ ，环路必须振荡以实现平衡。（当然， $1/7$  只是许多示例中的一个，我们可意识到无论何种情况，即使对于如  $1/2$  的“好”值，环路也可能永远不会精确平衡，关键在于，有许多输入值，对于这些输入值，连续振荡在原理上是绝对必要的。）这种量化误差将表现在误差信号 26 中，并且作为缺乏精确性的结果，将导致前面所述的振荡行为。与所施加的输入电压中的突发步进（这种步进可归因于随着积分器 27 的输出被倾斜而使误差变零（需要约 3 个环路判决周期）而引起的有限环路响应）相关联的（不同）误差几乎被（DC）前馈 42 消除，42 是施加到求和器 30 的+输入 31 的输入 22 的拷贝。

对于图 2 的框图 20 的体系结构有某些需要关注的地方。首先，与图 1 的积分器输出 10 不同（其输出与输入电压的全部范围相匹配），图 2 的积分器输出 28（假定其与图 1 的积分电路相同）的范围仅是与 DAC 的量化的相邻水平之间的步进相对应的一个量。其次，环路传递函数的分析表明其从  $\text{sinc}((\sin x)/x)$  变为平坦。

现参考图 3，图 3 中示出了采用图 2 的框图 20 作为其出发点的 $\Delta$ - $\Sigma$ 体系结构的框图 43。如果我们忽略 AC 前馈机制（55），则反馈环路的操作基本就如图 2 中所描述的一样。因此，要测量的施加输入电压 44 耦合到



第一电压求和电路 46 的第一+（正）输入端 45。与所施加的输入电压近似（但是极性相反）的反馈电压 48（通过粗略测量动作，将在后面描述）被施加到第一电压求和电路 46 的第二+（正）输入 47。差值电压（也是误差电压 49）由第一电压求和电路 46 产生，并且被用作到积分器 50 的输入。积分器 50 的输出 51 耦合到电压差电路 53 的+输入 52，电压差电路 53 的-输入 54 接收来自电路 55（马上将讨论）的 AC 前馈电压。来自电压差电路 53 的输出电压 68 被发送到两处。一处是第二电压求和电路 61 的+输入 60，电路 61 的另一+输入 59 是来自电路 57 的 DC 前馈电压 58（该 DC 前馈配置基本与图 2 中所述的相同）。电压 68 被发送到的另一处是到精细 ADC 69 的输入，精细 ADC 69 包含（精细）采样/保持电路和（精细）量化器（当然，这些组件可以不是分离的，因为 ADC 优选地是一个商用部件，其在功能上表现为一个整体对象）。

现在，第二电压求和器 61 的输出 62 被施加到粗略 ADC 63，粗略 ADC 63 类似地包含（粗略）采样/保持电路和（粗略）量化器（其优选地也是商用部件，且很可能是组合这两种功能的单个部件）。如在图 2 的框图 20 中一样，（粗略）ADC 63 的输出 64 既被用作产生期望数字输出（76）时的组件，又被反馈作为到反馈 DAC 67 的输入，反馈 DAC 67（极性反转）的输出 48 被施加到第一电压求和电路 46 的输入 47。

分别来自粗略和精细 ADC 的输出 64 和 70 被施加到合并电路（或合并功能）66 的各个输入 65 和 71，合并电路 66 组合粗略和精细值以产生精确（虽然还未经滤波等）结果（例如，作为  $2^{12}$  不同符号空间中的 12 位符号）。如前面一样，来自合并电路的合并后的精确输出 72 被数字滤波器 73 数字滤波，而滤波后的输出 74 然后被抽取器 75 适当地抽取以产生精确输出 76。滤波进一步扩展了结果的精度。应当意识到，合并（66）、数字滤波器（73）和抽取器（75）的操作可以由控制嵌入式系统运行的软件来执行，或者由利用复杂的集成电路实现的专用硬件来执行。

某些注释与反馈 DAC 67 有关。注意，在说明书的开头，所结合的 Circuit for generating from low voltage edges higher pulses having precise amplitudes and durations 描述了反馈 DAC 67 的实现方式的某些优选方面。

其中公开了利用低电压逻辑电平表示的多位二进制值（到 DAC 的“数字”输入）被 DAC 67 变换为具有精确宽度的脉冲，该脉冲具有任何一种极性的精确幅度，并且比非精确逻辑电平的电压高得多。较高的电压值有助于获得好的信噪比。读者可能已经注意到，无论是否精确，脉宽其自身都不是普通意义上的来自 DAC 的“模拟”输出。这种情况下，在 $\Delta$ - $\Sigma$ 体系结构的上下文中，名称实际是恰当的，因为对于恒定幅度的恒定占空比脉冲而言随时间的平均值严格对应于唯一且稳定的模拟 DC 电压，并且积分器（9、27、50）确实提供随时间的平均值（尽管其首先被操作以与所施加的输入电压形成电压差）。应当意识到，由于积分器响应于来自脉宽型 DAC 的一系列脉冲的宽度和幅度，并且 $\Delta$ - $\Sigma$ 变换器的线性基本由反馈 DAC 的线性确定，因此其适合于使我们选择既产生精确宽度又产生精确幅度的 DAC 电路。在该上下文中，精确宽度意味着以固定时钟速率发生的脉冲的精确占空比，精确幅度意味着每一脉冲与每一其他脉冲都具有相同的上升时间和幅度，而不仅仅是具有任何具体的上升时间或具体幅度。给定这些条件，与不泄漏或漂移的积分器等相耦合，我们可以对积分器输出进行类似的精度估算。我们在下面将进一步讨论图 3 中的框图 43 的体系结构的优点。

DAC 可以使用“归零”或“非归零”波形用于脉宽系统。对于归零，脉宽调制在每一判决周期期间使用两个边沿。对于非归零，脉宽调制每个判决周期只使用一个边沿。对于给定脉宽回复时间（settling time），非归零系统更为高效，但是输出滤波必须拒绝判决速率一半的音调。

现在，已经描述了图 3 中的关联关系，接下来说明为什么该体系结构能够进行精确操作。假定对于相对较长的某段时间，已经有一个作为输入电压 44 施加的稳定状态（DC）输入，因而环路稳定。在该状态下进行观察。由于输入一段时间内是静态的，因此 AC 前馈电路 55 的输出是静态的或零，从而求和器 53 不影响积分器输出 51，并且我们可以（目前）忽略 AC 前馈功能。然而，DC 前馈电路 57 将产生与所施加的输入电压 44 高度近似的输出。我们可以将 DC 前馈电路 57 认为是统一增益的稳定的低漂移放大器。增益不需要是精确统一的（这里的误差是可被校准的误差）。无

论其实际增益是多少，DC 前馈电路 57 的有效增益都应当对于所有合法水平的输入都相同。其他的优点，如高稳定性、线性和校准周期之间的低漂移都是不重要的，因为这些如同 ADC 线性一样，是被产生于变换器的反馈环路的反馈操作的相应“客户创造的”振荡自动清零的性能问题。

DC 前馈电压 58 的效果是不需要积分器来明显改变最终使得粗略 ADC 63 近似所施加的输入电压 44 所需的两个或三个环路判决周期（这种改变明显地产生更小的误差信号 49，误差信号 49 最终会结束随后被振荡替代的整体倾斜行为，如前所述）。简而言之，由于施加的输入电压（经由 DC 前馈电路 57）提供了其自身的拷贝，因此不需要被积分器倾斜的大偏移，并且其开始在没有这种倾斜的情况下振荡。（即，DC 前馈使得粗略 ADC/DAC 组合非常快速地产生反馈电压 48，反馈电压 48 限制了误差电压 49 的大小。）这可能意味着积分器的设计不如其他部件的严格，因为在振荡的同时普通积分器的输出代表了施加的输入电压 44 的一小部分。另一方面，其他考虑因素（例如，更快的过载恢复）可以继续得益于保持与图 1 中所示配置相关联的全动态范围的积分器。在任何一种情况下，积分器输出都代表所施加的输入电压 44 和粗略 ADC 63 的输出 64 之间的误差。积分器输出和粗略 ADC 的输出将会表现“振荡行为”，并且需要随时间而被适当地理解其内涵。除了振荡行为（其是普遍存在的）外，DC 前馈机制的效果是允许积分器输出在满刻度 5%到 10%的范围内准独立于所施加的输入。

现在就此停住。粗略 ADC 执行尽可能精确的低分辨率近似。如果是自己使用的话，则后续取平均将提高其分辨率。然而，对取平均有一个极限，因为较重的滤波将减少用于跟踪 AC 输入的带宽。如果仍然希望获得更多的分辨率，则一种方式是使用能力更强的 ADC 63。这可能变为一种昂贵的解决方案，因为其必须以至少与环路判决速率一样快的速率进行操作。还有另一种方式。

我们已经强调 $\Delta$ - $\Sigma$ 变换器操作的本质是使得精确的收敛几乎永远不会发生；随之发生的振荡是必须通过对由 ADC 创造的符号序列值取平均而被考虑到的“结果”的一部分。应当意识到，对于单个 ADC（如在图 2 中

一样），或者仅对于粗略 ADC 63（如在图 3 中一样），振荡只有在由该 ADC 执行的量化之后才是可见的，并且是该量化的直接结果。由于任何实际量化的有限本质，我们在原理上不得不对不确定长度的符号串取平均以提取由该串代表的最大精度。

现在注意，误差信号 68 仅是环路操作的振荡分量，而且其未被量化。即，其是（在某些延迟后）（实际）输入减去（经量化的）测量粗略值。如果我们取给定量化的粗略符号并将其与误差信号 68 的正确实例相关联，则我们有关于 $\Delta$ - $\Sigma$ 环路将如何看待输入的“完整”描述。如果我们组合这两者（粗略测量结果和精细测量结果），则我们不再需要对不确定长度的符号串取平均以去除振荡效果并提取出序列包含的所有信息。可以证明，我们可以获得作为精细测量结果的误差并将其与粗略测量结果相组合。然而，这两者都是有限分辨率的，并且对组合的粗略/精细符号取平均仍然是一种抑制振荡的残留（并且未经量化的）痕迹并展现仍然“掩盖”在符号序列中的更多精度的有用工具。

为了使这种策略成功，减法（由 46 执行）必须产生精度差，而且我们不仅依赖于（可选的）DC 前馈的存在，还在原理上依赖于 DAC 67 不破坏“计算”，这就是为何我们遇到了使用精确 DAC（如在结合的'241 专利中描述的 DAC）的麻烦的原因。因此，利用手边的精确 DAC（67），我们用其从输入中减去粗略 ADC 63 识别（在 DC 前馈的帮助下）作为所施加的输入电压 44 的一部分的量。该差（49）被施加到积分器 50，积分器 50 的输出 51 是差 49 的线性函数。（积分器有固定积分速率，因此对于固定环路判决间隔，其等同操作是将输入乘上某一常数并将其加上前面的累积。）由于 DC 前馈电压 58，误差电压 49 仅是与粗略 ADC 63 相关联的长期“不能精确量化并不得不振荡”的误差。记住以下事实是很重要的：即在任何一个时刻粗略 ADC 的“瞬时”输出都是不完整结果，并且我们感兴趣的是其随时间的行为（包括振荡分量）。当然，该行为的改变本质（振荡）由积分误差电压产生。

如前所述，一种获得包含在积分误差电压中的信息的方式是简单地处理由非常高性能（“粗略”）的 ADC 测量的振荡行为。如上所述，另一

种（较好的）方式是利用精细 ADC 69 单独测量与误差电压有关的隔离振荡。后一方式要优于前一方式，因为粗略 ADC 的动态范围必须与所施加的输入电压的整个可允许偏移相匹配。从而，粗略 ADC 可获得的分辨率（即八位）被映射到大的电压摇摆中。精细 ADC（可能具有 10 位分辨率）仅被暴露于积分误差信号 51 的小得多的偏移（同样，我们忽略了 AC 前馈电路 55 的行为，尽管其不否定该观察）。精细 ADC 69 的输出产生了振荡的数字版本，就好像粗略 ADC 所作的一样，其处于相对较高的分辨率，并且其不反映（不关注）由 DC 前馈机制“减去”的任何具体量。我们配置使得粗略 ADC 输出 64 的最低有效位与来自 ADC 输出 70 的最高有效位的精度重叠，从而它们可被合并机制 66 适当地级联，合并机制 66 的一个输入 65 接收粗略 ADC 输出 64，另一个输入 71 接收精细 ADC 输出 70。在合并后，级联结果可被处理并被取平均，就好像仅有一个确实很好（昂贵的）的高精度 ADC 一样（在图 2 的样式后使用）。

继续讨论合并机制 66 的本质。回想一下我们关于来自图 1 和 2 的 ADC 的位如何被最好地解释为值空间中的符号以及滤波器对符号的连续序列取平均的讨论。图 3 的粗略和精细 ADC 的想法是每个 ADC 类似地产生其自身的相应值空间内的符号，并且如果我们正确地理解这两个空间之间的关系，则我们可以组合粗略和精细符号的相应对的成员，以获得属于具有更大分辨率的值空间的另一个（精确）符号。从而，我们取得粗略符号的 8 位流和其关联（通过同时发生）的 10 位的精细符号流，组合这些对，并创建十六位精确符号序列，该序列随后可被滤波器取平均以获得更大的分辨率。

下面是对合并操作的更详细描述。其包含用于（粗略）反馈测量的单位延迟（环路判决周期）、用于测量的精细值（从前一值中减去最新值）的滤波器配置、校准精细测量对粗略测量的比例的增益元件（其可能适当地在合并电路之前并在合并电路外部，并且可能施加到数字化粗略和精细值中的任何一个或这两者）以及经滤波和缩放的精细值与经延迟的粗略值的求和。如果增益校准是理想的，则该操作将会几乎完全去除与环路操作的粗略 ADC 和 DAC 方面相关联的量化误差。（只是几乎完全，因为精细

值的量化是有限的，从而导致某些信息仍然嵌入在由振荡产生的符号序列中。因而，取平均仍然是有序的。）应当意识到，测量噪声被提高了大约粗略 ADC 和反馈 DAC 量化噪声对精细 ADC 量化噪声的比率。合并操作不影响线性，因为合并滤波器中的减法拒绝任何由精细 ADC 引入的低频失真。

现在考虑 AC 前馈机制 55。我们先描述为何需要这一机制，接下来说明其需要如何操作。为了开始讨论为何需要 AC 前馈，我们假定积分器 50 是开关电容器类的，而非连续时间型的（即，而非对固定电容器充电/放电的连续可调恒定电流源）。开关电容器积分器工作为采样电路，其捕获的采样值驱动积分器。在每次采样时间后，其对在采样瞬时捕获的电压执行操作，并且不受“真实”输入电压可能在采样时刻之间表现的行为的影响。事实上，其是以离散时间量化的配置，并且实际上与 $\Delta$ - $\Sigma$ 环路体系结构的剩余部分的量化本质极好地相一致。因此在原理上，其并不表现出需要由 AC 前馈机制进行校正的行为。（因此为什么我们不优选使用开关电容器积分器？可用的实际电路有其他限制，如有限开关次数以及对于大信号和小信号有不同的行为，这破坏了测量精度，从而使我们优选避免使用采样和保持电路，而是使用总是暴露于输入信号的真正连续时间积分器。）即，原理上，理想的开关电容器积分器将产生仅为采样时条件的函数的输出（这也是系统的剩余部分执行判定时的情形）。任何移动信号的不良效果通过强制施加尼奎斯特采样标准而被阻止，该标准也施加于系统整体上。在反思后，读者将意识到就其用在图 1-2 的（采样） $\Delta$ - $\Sigma$ 环路中的情形所需的而言，理想开关电容器积分器的行为是“无误差的”。为了实现可与连续时间（真实）积分器相比较的行为，我们不得不对施加的输入信号执行量化，并允许其只在由 $\Delta$ - $\Sigma$ 环路的剩余部分使用的判决时间时以按步方式改变。如果进行了这一操作，则没有必要再讨论这两种积分技术之间的差异，并且 AC 前馈机制也是不必要的。

我们现在讨论了当使用连续时间积分器并且允许施加的输入电压随时间变化时的问题。我们认为，所施加的输入电压 44 具有带有明显峰峰电压的呈正弦的 AC 分量和相比于环路的判决速率较长的周期。作为一个简

单（但是是精心设计的，因为通常情况下 AC 分量的属性是任意的）的示例，我们假定正弦分量在判决时刻  $T_0$  具有交零点。积分器将对  $T_0$  到  $T_1$  的间隔（一个判决时间周期）进行积分，并且为了描述其在该间隔期间的行为，我们开始讨论在一系列等间距的中间点处其输出的内容，即一百个点（ $T_{0.01}$ - $T_{1.00}$ ）。根据我们的假设，在  $T_{0.00}$  我们开始积分 DC 分量（无论为多少）和为零的瞬时 AC 分量值。但是在  $T_{0.01}$  AC 分量值不再为零，因此积分器积分不同的输入值。在  $T_{0.02}$  仍然是不同值，等等。在该离散示例中，积分器输出是在一百个近似点处输入的行为的和（离散的 $\Sigma$ ，而非连续的 $\int$ ）。该行为包括作为我们的 AC 分量的  $dv/dt$ ，因此在积分器输出中除了包括 DC 分量的积分外，还包括 $\Sigma dv/dt$ 。当然，这种按步分析只是说明性的工具，真实的情形是通过求极限而获得的。现在注意，如果 AC 分量的频率低至使得其周期相比于环路判决周期时间来说较长，则由上述 $\Sigma dv/dt$  加上的值“较小”。但是这种随 AC 分量周期的改变变短。

随着 AC 分量的频率接近判决速率的一半， $\Sigma dv/dt$  可能开始接近 AC 分量的峰峰漂移的 63%。因此，连续时间积分器的输出受到所施加的输入电压 44 的 AC 分量的影响（根据 AC 分量的频率和幅度）。现在可意识到，正是由于开关电容器积分机制进行采样并随后忽略采样之间的改变，才使得不受该效应的影响。（即使当受限于正式采样次数时，一个可能目标是 AC 分量的存在显示为对 DC 分量值的周期性扰动。这确实存在，但是在该示例的框架内，该效应将会在足够长的判决序列中平均到零。但是随后有这样的问題“实际 AC 测量结果将会怎样？如果不能测量音频 AC 电压则一个微秒判决时间点是什么？”我们的答复是，通过这些规则 DC 扮演了音频信号的角色，并且我们确实可以利用与用于 DC 的相同基本滤波和抽取来产生非常精确的 AC 输入波形的数字化版本。但是由于这是 AC，因此这些数字化值将需要被理解为数字化采样序列，并且如果要搜寻均方根值或峰峰值，则将需要对数字化采样序列进行额外的适当处理。）

现在，返回到 AC 前馈机制的原因。现在可意识到，如果 $\Delta$ - $\Sigma$ 环路的判决速率被当作采样速率，则对于允许该采样速率满足尼奎斯特要求的 AC 信号而言，连续时间积分器的输出包括误差，该误差在被 AC 信号的幅度

加以缩放时，随着 AC 信号的频率而增大。该误差对应于 ADC 传递函数的统一性的偏离，并且在许多 $\Delta$ - $\Sigma$ 应用中是不希望发生的。在本申请中允许该误差保持较大值的一个明显缺点是其增大了精细 ADC 必须与其相竞争的预期信号摇摆。对于由精细 ADC 提供的给定数目的位，该增大的信号摇摆转换为分辨率丢失。

AC 前馈机制被设计为大约去除连续积分的效果，从而使所得到的系统的离散时间等价系统一样，在感兴趣的输入频带上操作。可以显示连续和离散积分之间的差产生了积分器的输出信号中的附加误差项，其正比于以下内容的大小：

$$H_1(W) = e^{(-j*W/2)} * (\sin c(W/2) - e^{(-j*W/2)})$$

其中  $W=2\pi fT$ ， $f$  是输入频率， $T$  是判决速率。

一种抵消该附加项的方式是从积分器输出中减去输入波形的近似滤波的版本。反馈环路的一个属性是在积分器后插入的任何信号都会被  $H_2(W) = (1 - e^{(-j*W)})$  滤波。这是量化噪声整形函数。因此，在感兴趣的频带上，任何注入的信号都必须被  $H_1(W)/H_2(W)$  近似滤波。接近理想的滤波器是 0.19 倍判决周期的延迟，其增益在 0.50（DC）和 0.59（判决周期一半）之间变化。由于实际的延迟电路经常难以实现，我们考虑近似。与该目标粗略匹配的一种简单电路是跟有单极的增益级，这就是要用于图 3 的 AC 前馈机制 55 的电路。应当意识到，也可以有其他这种有用的近似。

另一种抵消该项的方式是从积分器输出中减去某种不同的输入的滤波版本。当在积分器之前注入信号时，滤波也必须也考虑到积分。对于上述增益和极补偿来说有一种等效电路，其在积分器之前使用增益和串联 RC。这种替换方案不需要减法电路，并且将结合下面对图 4 的描述进行说明。

现在参考图 4 的更详细框图，要测量的施加的输入电压  $V_{IN}$  耦合到输入端 44。在一个优选实施例中， $V_{IN}$  可以表现出  $\pm 16V$ （DC 或 P-P）的值范围。该输入通过电阻器 79 施加到求和结点 90，求和结点 90 的其他输入经过电阻器 80（用于极性反转反馈 DAC 67）和电阻器 81（用于来自电路 78 的 AC 前馈信号）输入。求和结点 90 还是到连续时间积分器 50 的输入，60 的一般特性如图所示，并且也是传统的。在该特定实施例中，积分器的



增益是  $1/2$ ，并且当环路经历瞬时输入时其输出 91 可以表现出 $\pm 7V$  的漂移。

积分器 50 的输出 91 耦合到两处。第一处经过 20:1 分压器 (92、93) 耦合到粗略 ADC 63 的差分输入的正 (+) 部分。差分输入的负 (-) 部分从由 DC 前馈信号 57 驱动的 40:1 分压器 (94、95) 馈送，信号 57 也就是施加到端子 44 的  $V_{IN}$ 。粗略 ADC 63 进而将约 $\pm 1/2V$  视作其模拟输入，并且以每秒一百万个采样的速率进行操作以产生八位输出 97。粗略 ADC 63 可以是来自 Analog Devices 公司的 AD9283。

积分器 50 的输出 91 耦合到的第二处是经由输入限制器电路 104 的精细 ADC 69。输入限制器电路 104 保护精细 ADC 69 免受大的瞬变，这是因为其希望数字化的标称“平衡环路”振荡电压漂移处于 $\pm 1V$  的范围内。精细 ADC 69 以与粗略 ADC 63 相同的采样速率进行操作，并且与粗略 ADC 63 同步；其产生十位输出 105。精细 ADC 69 可以是来自 Analog Devices 公司的 AD9200。

来自粗略 ADC 63 的八位输出 97 耦合到数字乘法电路 98，在电路 98 处其被缩放以补偿各种电路增益，其后被舍入到最接近的六位 (101)。这样作的结果是六位反馈值 102，值 102 被发送到极性反转反馈 DAC 67 和合并电路 66 (作为 103)。合并电路 66 接收输入 103 和 105，并如前所述的进行操作。其输出 72 被施加到数字滤波器 73，73 的输出 74 在适当的抽取 (未示出) 后是代表施加的  $V_{IN}$  的可变速度/分辨率精确数字值。

注意 AC 前馈电路 78。其由  $V_{IN}$  馈送，并且产生被添加到积分器 50 的输入的输出，这与图 3 中所示的配置不同，在图 3 中其被施加到积分器输出作为要去除的信号。

这里是有关于图 3 和 4 中所示的 $\Delta$ - $\Sigma$ 体系结构的操作的某些最终观察。

粗略 ADC 和精细 ADC 中的每一个具有关联的特定输入范围、最大采样速率和最小采样等待时间，其以下面将要简要讨论的方式影响了整个的 ADC 设计。输入范围通常表达为关于偏置点的对称信号摇摆 (输入范围)。(输入范围和偏置点通常都与参考电压有关，参考电压在原理上可

能在粗略和精细 ADC 的内部，也可能在其外部。在我们的情况下，ADC 63 和 69 中的任何本地参照中的独立“跟踪 DAC” 67 的电压和整体的“参考电压”实质上是由 DAC 67 执行的精确脉宽调制。）

对于粗略 ADC，施加到 DC 前馈和积分器输出的增益确保了到粗略 ADC 中的输入摇摆是可接受的。输入摇摆可以利用多种偏置电路（包括简单的阻性分压器）以摇摆点为中心来舍入。

由于粗略 ADC 在反馈环路内部，因此采样等待时间部分地确定了 DAC 的一个脉宽调制周期的末尾和另一个周期的开头之间的持续时间。因此，粗略 ADC 采样等待时间必须是整个 $\Delta$ - $\Sigma$ 变换器的判决速率的一部分。在概念上，粗略和精细 ADC 在每个判决周期的开头采样一次。由于采样等待时间和反馈处理延迟，在每个判决周期的开始之前对粗略 ADC 采样是较为有利的。这种较早的采样在粗略 ADC 采样时引入了在小于整个的积分周期期间对输入和反馈信号积分有关的误差。该误差的效果可通过利用加法器 106 将反馈偏移 107 加上每个反馈采样 103 来（可选地）减小。反馈偏移 107 的值可被选为补偿实际采样点和判决周期的开头之间的反馈的积分。

对于精细 ADC，积分器增益确保了到精细 ADC 的可接受输入摇摆。精细 ADC 可利用标准电路偏置。或者，积分器输出可被移动到以围绕精细 ADC 偏置点为中心，这是通过给作为反馈偏移 107 的一部分的每个粗略 ADC 采样加上固定偏移而实现的。

由于精细 ADC 不在反馈环路内部，因此采样速率只需要与变换器判决速率相匹配，并且采样等待时间不受约束。精细 ADC 采样定时可从判决周期的开头加以调节，以允许反馈 DAC 67 的更多模拟回复，并更精确地抵消早期粗略 ADC 采样的效果。

整个 $\Delta$ - $\Sigma$  ADC 有两个量应当校准：反馈增益和精细合并增益。反馈增益被用来将粗略 ADC 采样缩放为反馈值。该缩放被校准以考虑到积分器增益、DC 前馈增益、反馈参考和粗略 ADC 参考中的分量偏离。

用于该校准的一个可能标准是使对应于输入水平偏移的积分器输出改变最小。理想上，没有对应关系，但是分量偏离可能导致某种依赖性。减

小该依赖性改善了精细 ADC 范围的利用，并且减小了与积分器有关的可能的非线性。该校准是通过向 ADC 施加正电压和负电压并仅仅利用精细 ADC 测量平均积分器输出电平来执行的。利用不同的反馈增益重复进行这一操作，直到正输入电平和负输入电平之间的积分器偏移量的差最小为止。

另一个可能的校准标准是使反馈环路的无限冲激响应最小。这提高了分步响应，并且不需要外部电压源。该校准是通过向反馈环路中数字地注入周期冲激或特定音调来执行的。反馈增益被调节直到冲激响应最小或者音调的相移与理想值匹配为止。

精细合并增益被用来将反馈和精细采样组合为输出采样。精细合并增益对精细采样缩放以与反馈采样匹配。值由于分量和参考的容差而变化。该校准在级联 $\Delta$ - $\Sigma$ 系统中是常见的。一种校准方法是将已知序列数字注入到反馈环路中并测量精细 ADC 采样和注入的序列之间的相关。另一种方法是向 ADC 施加零并找到使输出采样的标准偏差最小的合并增益。

在许多 $\Delta$ - $\Sigma$ 设计中，抖动被用于提高性能。将数字抖动加入到反馈环路中减小了该设计中的某些误差机制。抖动可被添加作为反馈偏移 107 的一部分。

精细 ADC 69 的范围部分由粗略 ADC 63 的分辨率和 DAC 67 的分辨率的组合来确定。如果 DAC 67 的分辨率小于粗略 ADC 的分辨率，假定来自于由 DAC 67 提供的“当前更加粗略的”分辨率的精细 ADC 的范围可处理来自积分器的全部误差信号，则粗略 ADC 分辨率的某些部分（例如，两个最低有效位 108）可通过图 4 中执行的舍入（101）来简单地丢弃。在这里，“当前更加粗略的”是指：如果我们假定（正如我们为了示例方便所作的那样）在粗略 ADC 63 中有八位分辨率而 DAC 67 仅有六位，则我们忽略两个最低有效位（108），并且“当前更加粗略的”DAC 分辨率是六位，而不是“更精细的”八位分辨率。然而，八位分辨率对 DAC 67 要求太高，因此我们可能仅仅使用六位分辨率。这转换为大约施加到精细 ADC 的积分误差信号 91 的大小的四倍（与八位情形相比），但是在实际实施例中发现是一种非常可行的解决方案。

作为简单地丢弃示例性的两个最低有效位（108）的替换方案，精细 ADC 的范围可利用辅助 DAC 109 减小为只包含（最初八位的）粗略 ADC 分辨率以偏移精细 ADC。辅助 DAC 109 的输出电平由附加粗略 ADC 分辨率确定，其又对应于由于舍入（101）而在下一判决周期期间施加于积分器的已知误差。辅助 DAC 109 可能仅具有若干级别（对应于粗略 ADC 和反馈 DAC 之间的位数差），并且具有有限的精度要求。辅助 DAC 109 的输出被求和器 110 与输入限制器 104 的输出相加，并且结果被施加作为到精细 ADC 69 的输入。

当然，应当意识到，尽管我们已经在实施例巾示出了具有驱动积分器输入的 AC 前馈配置的可选的 106/107 加法器和可选的辅助 DAC 109 及其求和器 110，但是这些可选电路也可用于图 3 的 AC 前馈配置。类似地，可选的 106/107 加法器和可选的辅助 DAC 109 及其求和器 110 代表了可以独立实现的两个分离的不同实体：按照需要可以使用任何一个或这两者。

2005 年 4 月 5 日授权的题为“Circuit for generating from low voltage edges higher pulses having precise amplitudes and durations”的美国专利 6,876,241（由 William H. Coley 和 Stephen B. Venzke 于 2003 年 7 月 31 日提交并且被转让给安捷伦科技公司）的主题与本申请的主题有关。具体而言，其涉及实现在本申请中描述的用于 $\Delta$ - $\Sigma$ 体系结构的反馈 DAC 的优选实现方式。为此，为了说明的方便，“Circuit for generating from low voltage edges higher pulses having precise amplitudes and durations”通过引用被明确地结合于此。

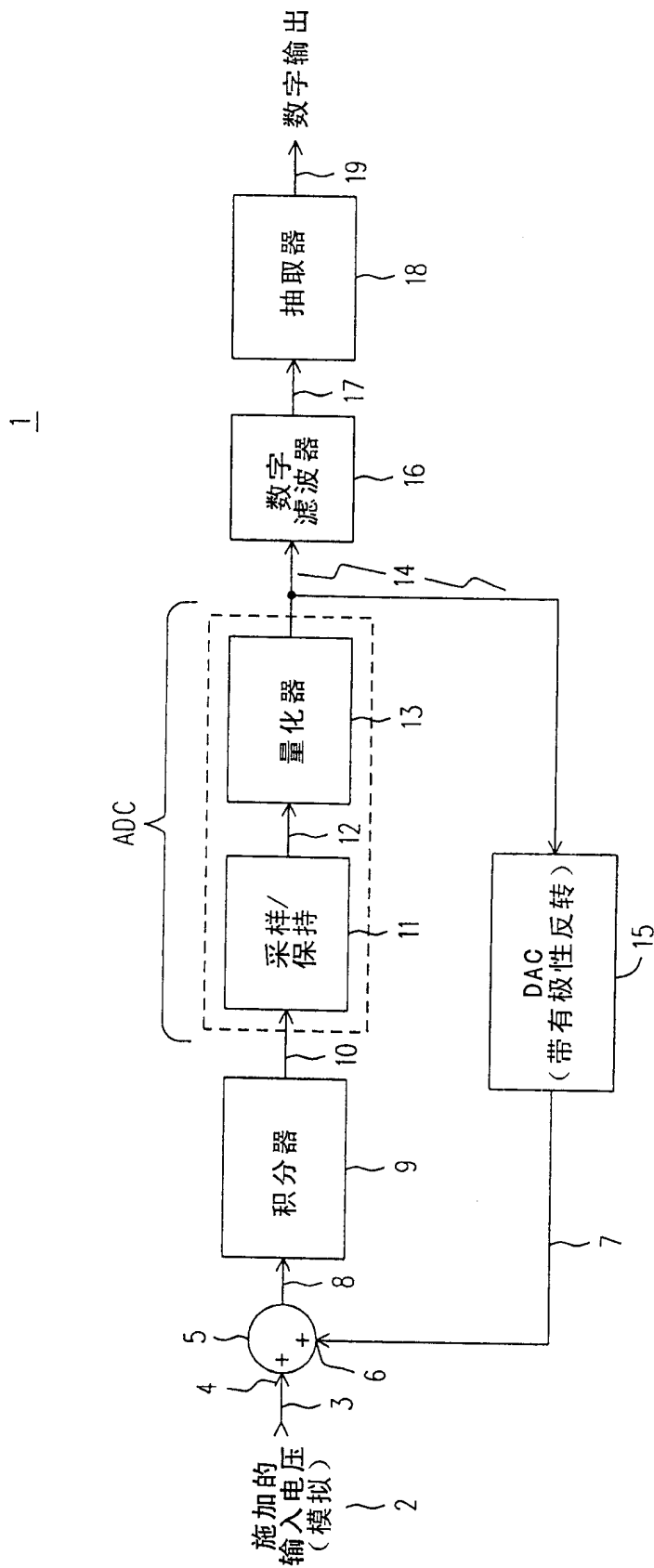


图1

20

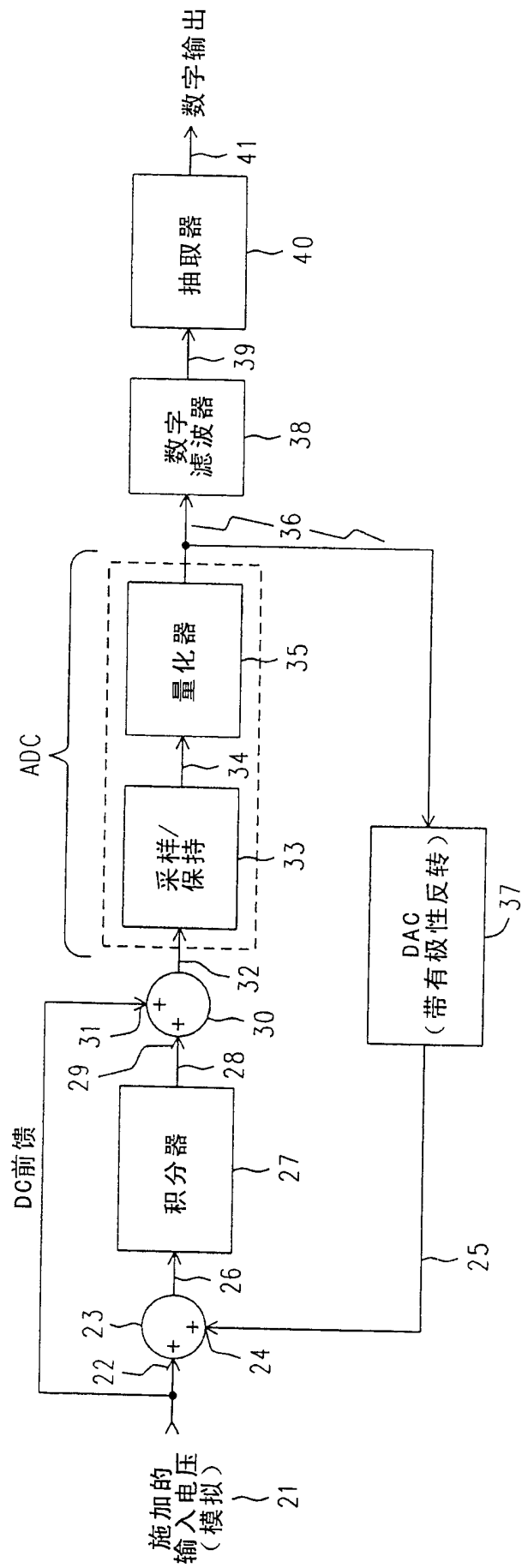
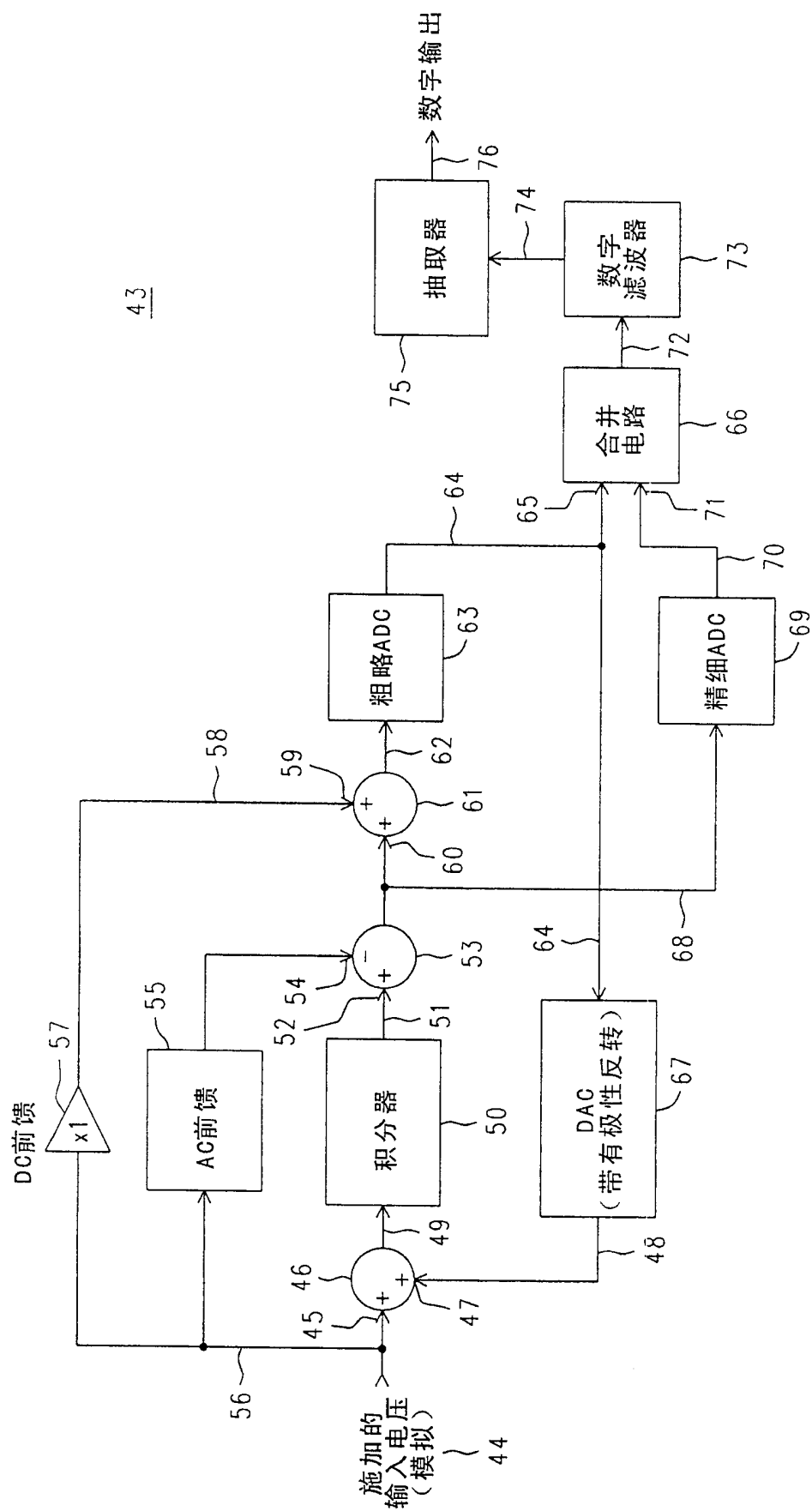
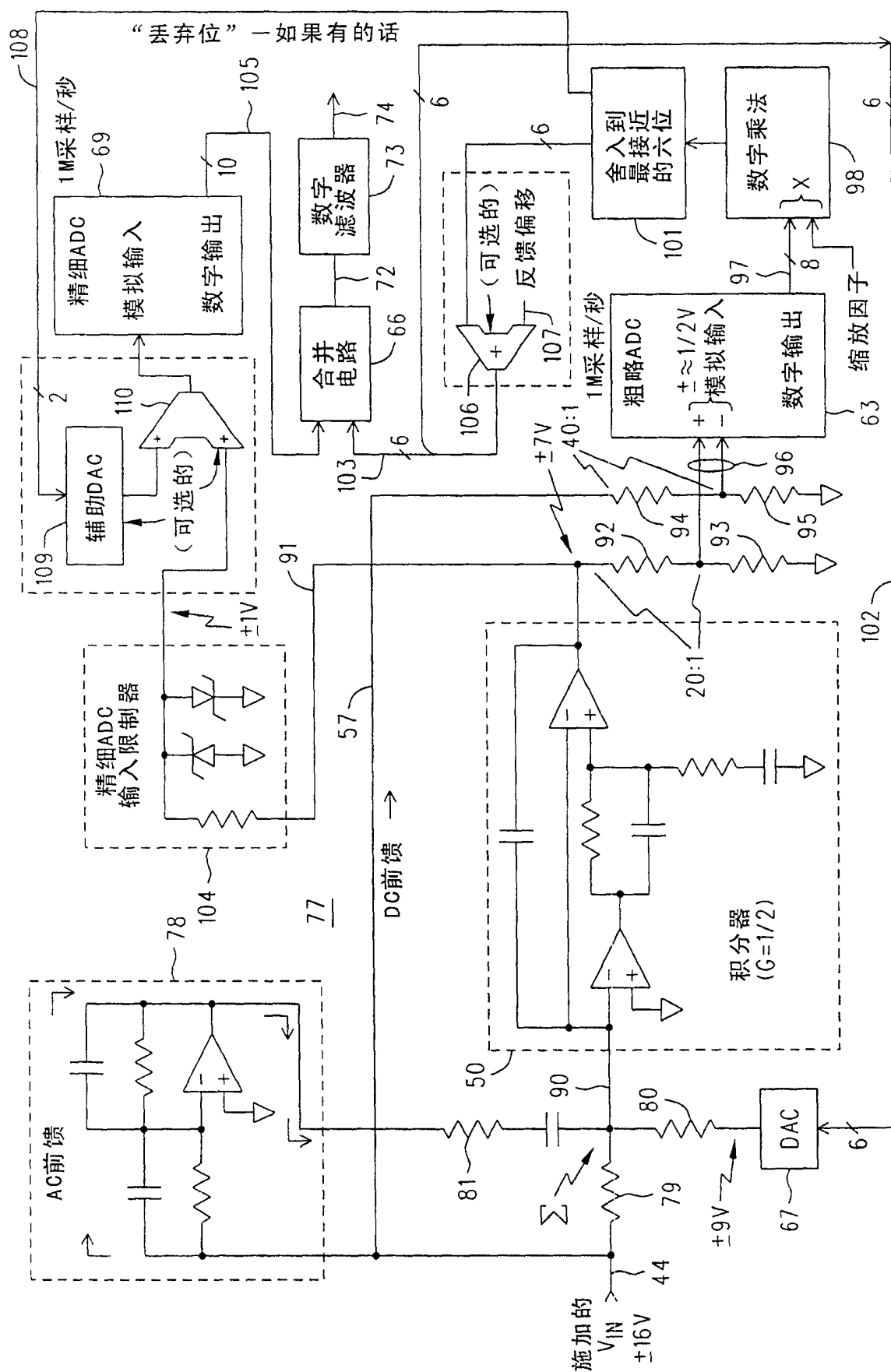


图2



3  
冬



4  
冬