

带隙基准电压源原理分析与应用

孟少鹏 柯导明 陈军宁

安徽大学电子科学与技术学院 合肥 230039

摘 要: 本文在传统的带隙电压源原理进行分析和总结,着重介绍了运放的失调电压对电压源输出的影响,给出了目前减小失调影响的几种方法,并介绍了利用 PTAT 电流产生的带隙基准电压电路。最后,介绍了在亚深微米集成电路技术不断发展下,带隙基准源的发展方向。

关键词: 带隙基准源 温度系数 电源抑制比

1 引 言

作为 A/D、D/A 转换器以及通信电路中的一个基本组件,基准源始终是集成电路中一个重要的单元模块。它的温度稳定性以及抗噪声能力是影响电路精度和性能的关键因素。由于带隙基准电压、电流源电路的输出电压及电流几乎不受温度和电源电压变化的影响,这就使得片内集成的带隙基准电压、电流源电路成了模拟集成电路芯片中不可缺少的关键部件。传统的基准电压源电路^[1-2]在 0~70℃ 的温度范围内能产生温度系数为 $10^{-4}/^{\circ}\text{C}$ 的基准电压。然而,高性能的 CMOS 带隙基准电压源的发展仍然被许多因素阻碍,如:双极性器件的特性在 CMOS 工艺中可行性;运算放大器的失调的影响;带隙基准电压源温度补偿等问题。

2 带隙基准电压源的原理

带隙基准电压源的实现是由两个具有完全互补温度特性的电压相加实现的。一般方法是在一个随温度上升而下降的具有负温度系数的电压,加上一个随温度上升而上升的具有正温度系数的电压。从而实现输出电压的零温度系数。在带隙基准电压源中,是由具有正温度系数的热电压 V_T 和具有负温度系数的双极晶体管基极-发射极电压 V_{BE} 相加构成。在半导体工艺的各种不同器件参数中,双极晶体管的特性参数被证实具有最好的重复性,并且具有能提供正温度系数和负温度系数的严格定义的量,双极电路形成了这类电路的核心。双极晶体管在标准 COMS 工艺中的实现是通过 n 阱工艺来得到的。在 n 阱工艺中, pnp 晶体管可以按图 1 实现, n 阱中的 p^+ 区作为发射极, n 阱本身作为基区, p 型衬底作为集电区,并且必然接到最负的电源(通常为地)。

2.1 典型的带隙基准源电路

在半导体工艺的各种不同器件参数中,双极晶体管的特性参数被证实具有最好的重复性,并且具有能提供正温度系数和负温度系数的严格定义的量,双极电路形成了这类电路的核心。双极晶体管在标准 COMS 工艺中的实现是通过 n 阱工艺来得到的。在 n 阱工艺中, pnp 晶体管可以按图 1 实现, n 阱中的 p^+ 区作为发射极, n 阱本身作为基区, p 型衬底作为集电区,并且必然接到最负的电源(通常为地)。

图 2 为带隙基准电压源的原理示意图[3]。由图 2 可以看出,双极晶体管的基极-发射极电压 V_{BE} 具有负温度系数,其温度系数在室温下为 $-1.5\text{mV}/^{\circ}\text{K}$ 。而热电压 V_T ($V_T = kT/q$) 具有正温度系数,其温度系数在室温下为 $+0.087\text{mV}/^{\circ}\text{K}$ 。将 V_T 乘以常数 K 并和 V_{BE} 相加可以得到输出电压 V_{REF}

$$V_{REF} = V_{BE} + KV_T \quad (1)$$

将(1)式对温度 T 进行微分,并将 V_{BE} 和 V_T 的温度系数带入可求得常数 K 同时得到了一个具有零温度系数的输出电压 V_{REF} 。

图2中,处于深度负反馈的放大器 A_1 以 V_X 和 V_Y 为输入,驱动 R_1 和 R_2 ($R_1 = R_2$)的上端,使得 X 点和 Y 点的电压近似相等。同时通过使 Q_1 和 Q_2 发射极的面积成一定比例而使它们的工作电流密度比为一个固定值 n 。那么 $V_{BE1} = RI + V_{BE2}$,即 $RI = V_{BE1} - V_{BE2} = V_T \ln n$,得到流过右边支路的电流为 $V_T \ln n / R_3$,因此输出电压为

$$V_{REF} = V_{BE2} + \frac{V_T \ln n}{R_3} \left(1 + \frac{R_2}{R_3}\right) \quad (2)$$

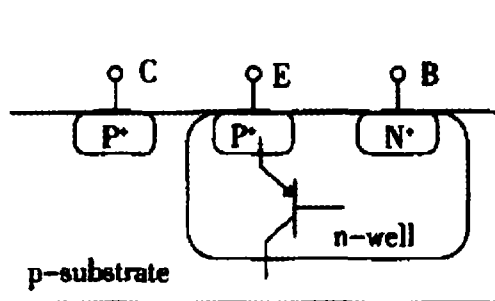


图1 在CMOS工艺中实现PNP双极晶体管

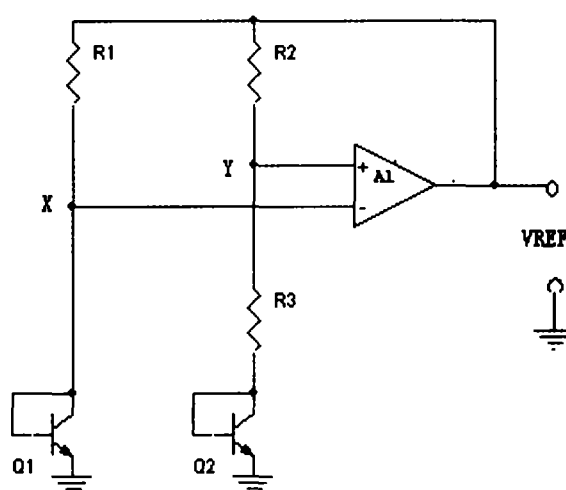


图2 带隙基准原理电路

适当选取 R_2 , R_3 和 n 值的大小,即可得到具有零温度系数的输出电压 V_{REF} 。由于输入MOS管的非对称性,运算放大器存在失调电压,也就是当运放的输入电压为零时,其输出电压不为零。更重要的是,失调电压 V_{OS} 本身随温度变化,因此增大了输出电压的温度系数。有许多方法可以减小失调电压 V_{OS} 的影响。首先运放采用大尺寸器件并仔细选择版图的布局使得失调最小。其次通过令 R_1 和 R_2 的比例系数为 m 使 Q_1 和 Q_2 的集电极电流比率置为 m ,从而 $\Delta V_{BE} = V_T \ln(mn)$ 。另外,电路的每个分支可以采用两个pn结串连的形式使 ΔV_{BE} 增加一倍。由此可得

$$\begin{aligned} V_{REF} &= V_{BE3} + V_{BE4} + (R_3 + R_2) \frac{2V_T \ln(mn) - V_{OS}}{R_3} \\ &= 2V_{BE} + \left(1 + \frac{R_2}{R_3}\right) [2V_T \ln(mn) - V_{OS}] \end{aligned} \quad (3)$$

这样失调电压的影响通过增大方括号中第一项的值而减小了。因此改善了电路的温度系数,提高了输出电压的稳定性。同时为了保证两个晶体管的偏置电流具有相同的温度特性,可以用PMOS电流源取代电阻。

2.2 自偏置电路构成的基准源电路^[4-5]

在带隙电路的分析中,双极晶体管的偏置电流实际上是与绝对温度成正比(PTAT:proportional to absolute temperature)的。利用PTAT电流可以得到一个产生带隙基准电压的电路。如图5所示,其工作原理是,晶

晶体管 Q_2 的发射极面积设计为 Q_1 的 m 倍, M1~M4 四个 CMOS 晶体管保证了 Q_1 与 Q_2 的发射极电流相同, 所以两个双极晶体管的电流密度比近似为 m , 所以产生了 PTAT 电流 I_{D5} 。其基准带隙电压产生的思想是将 PTAT 电压 $I_{D5}R_2$ 加到基极-发射极电压上, 因此输出电压等于

$$V_{REF} = V_{BE3} + \frac{R_2}{R_1} V_T \ln n \quad (4)$$

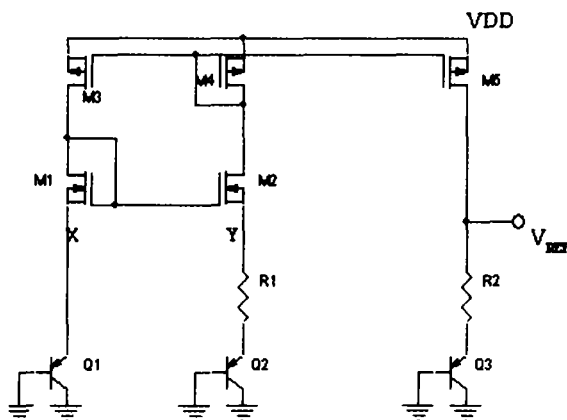


图4 PTAT电流产生的基准电压

3 电源影响与启动问题

图 2 中的基准电压产生电路中, 只要运放的开环增益足够高, 输出电压就相对独立于电源电压, 即输出电压将与电源电压无关。图 4 中的电路采用了自偏置结构, 相对于电源电压其电路本身具有很高的独立性。

在与电源无关的偏置电路中, 由于“简并”偏置点的存在, 当偏置电路中的晶体管传输零电流时, 会导致偏置电路关断, 从而整个电路不能正常开启。所以启动电路也是带隙基准源中的一个重要组成部分, 它保证了在电路上电时, 电路可以正常工作。通常希望启动电路在整个带隙基准源正常工作时, 不会对基准源的性能有影响。

4 电源抑制比

电源抑制比 (PSRR) 是描述抗电源干扰的参数。对于电源电压的直流变化, 输出电压能很好的实现电压跟随, 即 V_{REF} 是稳定的。而在电源电压有交流干扰时, 特别是干扰频率较高时, 输出电压会出现同频率的交流信号, 幅度近似于干扰信号的幅度, 这时输出电压不在稳定。有两种方法解决这个问题: 提高运算放大器的单位增益带宽, 或者降低运放本身的 PSRR。

5 小 结

本文介绍了带隙基准电压源的基本工作原理, 着重介绍了运放失调电压对输出电压的影响以及解决的几种方法, 同时分析了由 PTAT 电流产生的带隙基准电压电路。随着亚深微米集成电路技术的不断发展, 集成电路的电源电压越来越低^[6]。目前, 1.8V 和 1.5V 的电源电压已经广泛应用。所以在基于标准 CMOS 工艺下, 设计具有低温度系数、低功耗、高电源抑制比 (PSRR) 的带隙基准电压源是以后发展的方向。

参考文献

- [1] Tsividis Y P. Ujmer RW. CMOS voltage reference. IEEE J Solid—State Circuits. 1978. SC-13(6): 774
- [2] Kuijk K E. A precision reference voltage source. IEEE J Solid—State Circuits. 1973, SC-8(3): 222
- [3] 毕查德·拉扎维. 模拟 CMOS 集成电路设计. 西安交通大学出版社, 2003. 2: 309—327.
- [4] Ching S Y, Wu C Y. A new type of curvature compensated CMOS Bandgap voltage references [A]. In : Proceedings of Technical Papers on VLSI Technology Systems and Applications [C]. IEEE, 1991. 398-402.
- [5] Ye X B, Cheng Z L. Low voltage self biasing reference circuits [A]. In : Proceedings the 4th International Conference on ASIC [C]. IEEE, 2001. 314-317.
- [6] Leung K N, Mok P K T. A Sub-1V 152ppm/°C CMOS Bandgap reference circuit with sub-1V operation [J]. IEEE Journal of Solid—State Circuits. 1999: 34

The Analysis Of Theory In Bandgap Voltage Reference

MENG Shaopeng KE Daoming CHENG Junning

Institute of Electronic Science and Technique, Anhui University, HeFei 230039 China

Abstract: The paper starting from analyzing general principle of typical bandgap reference circuit. The methods are given for resolving the operational amplifier offset, and introduce a circuit of bandgap voltage reference by using PTAT current. Also the potential trend of voltage reference is presented.

Keywords: Bandgap voltage; reference Temperature; coefficient PSRR