

---

Ver 1.1

# 8 位 3GSPS A /D 转换器

## MXT2003

# 说明书



北京时代民芯科技有限公司



## 目 录

一、	产品特性 .....	- 2 -
二、	产品概述 .....	- 2 -
三、	结构图 .....	- 3 -
四、	引脚描述 .....	- 4 -
五、	引脚定义（见附录 1） .....	- 9 -
六、	产品描述 .....	- 9 -
	6.1 传输特性.....	- 9 -
	6.2 工作时序图.....	- 10 -
	6.3 功能描述.....	- 12 -
	6.4 应用说明.....	- 26 -
七、	转换器电参数.....	- 41 -
八、	绝对最大值.....	- 48 -
九、	推荐工作范围值.....	- 48 -
十、	典型应用描述（见附录 2） .....	- 48 -
十一、	封装说明 .....	- 48 -
	附录 1 .....	- 51 -
	附录 2 .....	- 54 -
十二、	服务与支持.....	- 58 -



## 一、产品特性

集成内部高性能采样保持电路

单+1.9V $\pm$ 0.1V 低电源供电

可选钟控单/双数据率输出

具有多通道 ADC 同步能力

8 位有效转换精度无失码

输入范围精确可调

具有用户模式的串行接口

集成高速数字校准电路

## 二、产品概述

MXT2003 是一款单通道、低功耗、高性能的 CMOS 模数转换器，采用单电源 1.9V 供电，其采样精度为 8 位，采样率高达 3.0GSPS，典型功耗为 1.9W。它采用高速模-数转换电路以及数字校准技术，保证器件的高速度和高动态特性。器件内部集成串行接口，支持用户控制、改变电路参数，以提高性能和满足系统要求。

### 三、结构图

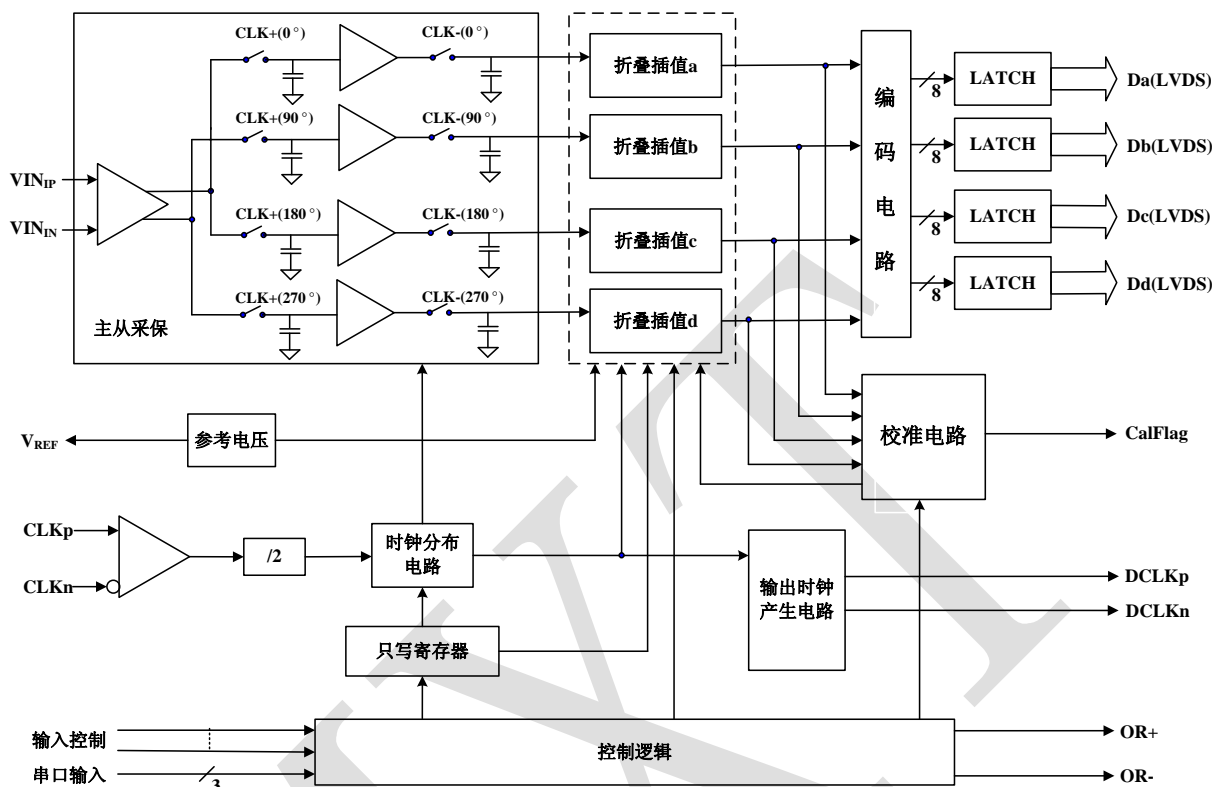


图 1 MXT2003 结构示意图

## 四、引脚描述

MXT2003采用LQFP144封装，引脚排列顺序如图2所示。

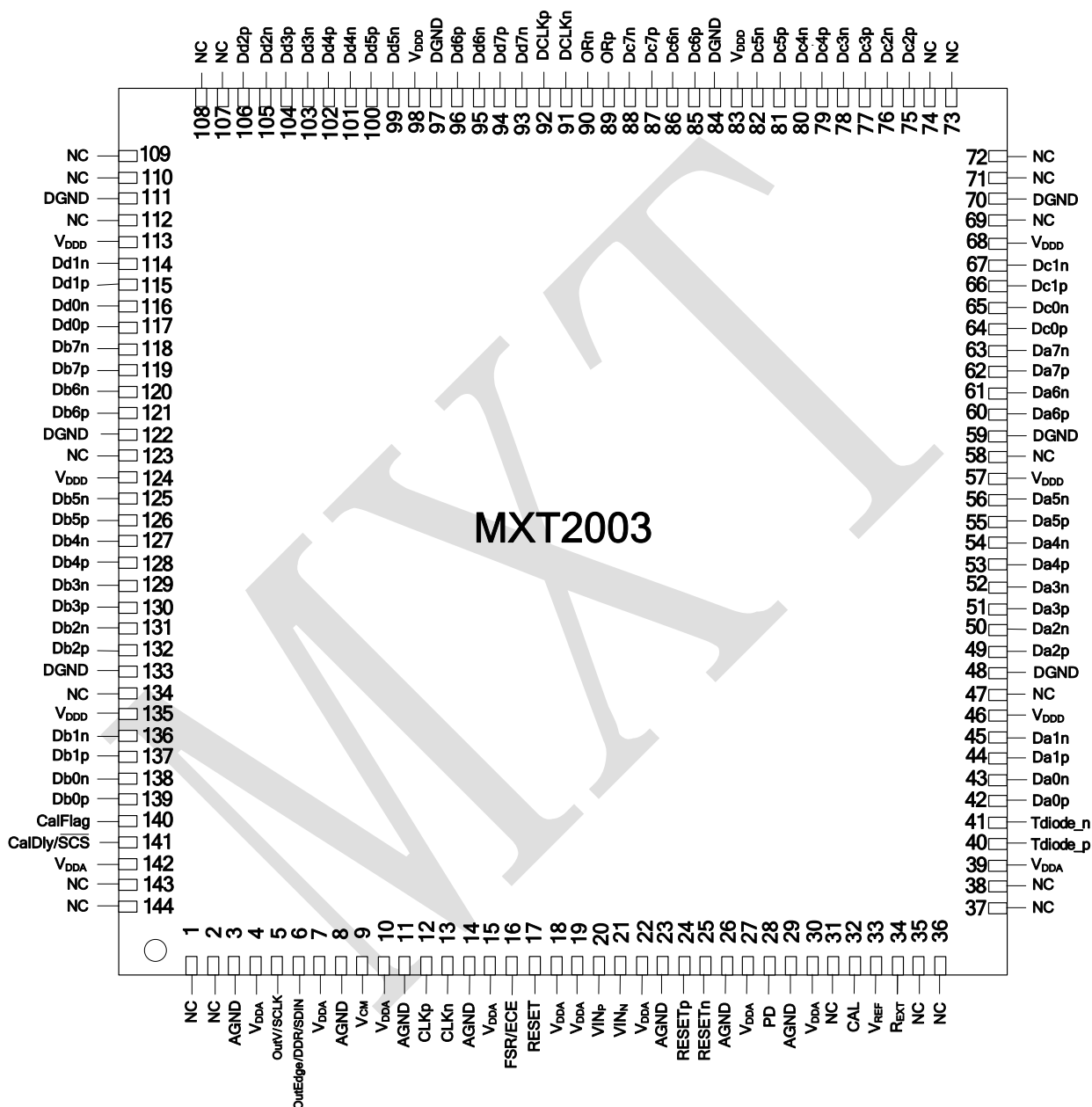


图2 MXT2003引脚排列顺序

注意：管壳背面裸露的焊接点必须焊接到一个地平面以确保额定的性能。

MXT2003 详细功能描述见表 1。

表 1 MXT2003 引脚功能描述

引脚序号	引脚名称	引脚类型	功能描述
5	OutV/SCLK	输入(LVCMOS)	<b>输出电压幅度/串行接口时钟</b> 该引脚接高电平时，则差分（差分数据）输出时钟和数据为正常输出幅值；接低电平时，则为低幅值输出从而减小了功耗。当扩展控制模式使能时，则该引脚充当串行接口时钟（SCLK）。
6	OutEdge / DDR / SDIN	输入(LVCMOS)	<b>边沿选择/双倍数据率/串行数据</b> 当该引脚为低或高时用来设置在 DCLKp 的哪一个边沿进行输出数据传输。当该引脚浮空或者为 1/2 电源电压时，双数据率(DDR)时钟使能。当扩展控制模式使能时，该引脚充当串行数据(SDIN)的输入。
17	RESET	输入(LVCMOS)	<b>DCLK 复位</b> 当正脉冲加在该引脚时，用来实现多个转换器的复位和 DCLK 输出同步。当配置寄存器(地址 1h)的 bit-14 位被设置为‘0’时，则单端 RESET 引脚被选通。
28	PD	输入(LVCMOS)	<b>掉电</b> 当该引脚为逻辑高时，整个器件处于掉电模式。
32	CAL	输入(LVCMOS)	<b>校准启动</b> 当该引脚保持至少 80 个输入时钟周期逻辑低电平后，接着保持至少 80 个输入时钟周期逻辑高电平，则开始进行校准过程。
16	FSR/ECE	输入(LVCMOS)	<b>满量程范围选择/扩展控制使能</b> 在正常控制(非扩展控制)模式，该引脚接入逻辑低电平则设置满量程差分输入范围为 600mV <sub>P-P</sub> 。该引脚接入逻辑高电平则设置满量程差分输入范围为 820mV <sub>P-P</sub> 。当该引脚浮空或者接电平值为 V <sub>DDA</sub> /2 时，则通过串行接口和控制寄存器可以进入到扩展控制模式。
141	CalDly/ $\overline{\text{SCS}}$	输入(LVCMOS)	<b>校准延时/片选串行接口</b> 当引脚 16 接入逻辑高电平或低电平，该引脚用来设置上电后的校准延时的长短，即上电后经过多少个输入时钟周期后才开始进行校准。当引脚 16 浮空时，该引脚充当串行接口输入的片选信号，此时校准延时(CalDly)值设为‘0’（上电后只有短延时，不提供长延时）。
12 13	CLKp CLKn	输入(LVDS)	<b>采样时钟输入</b> 差分时钟信号必须通过 a.c.交流耦合的方式

			输入到这些引脚。CLK 的上升沿和下降沿均采样输入信号。
20 21	VIN <sub>P</sub> VIN <sub>N</sub>	输入(模拟)	<b>信号输入</b> 在正常模式下通过引脚 16 (FSR) 定义差分输入信号的范围；而在扩展控制模式下通过满量程电压调整寄存器 (地址: 3h, Bits 15:7) 定义差分输入信号的范围。
24 25	RESET <sub>P</sub> RESET <sub>N</sub>	输入(LVDS)	<b>采样时钟复位</b> 当正的差分脉冲加在该对引脚时，可以实现多个转换器的复位和 DCLK 输出同步。当配置寄存器(地址 1h)的 bit-14 位被设定为‘1’，则差分 RESET <sub>P</sub> 和 RESET <sub>N</sub> 引脚被选通。
9	V <sub>CM</sub>	输出(模拟)	<b>共模电压</b> 当采用直流耦合时，该引脚输出电压需要作为 VIN <sub>P</sub> 和 VIN <sub>N</sub> 的共模电压；当采用交流耦合时，该引脚须接地。该引脚可驱动最大电流为 100uA 的电流源或电流负载，驱动最大容性负载为 80pF。
33	V <sub>REF</sub>	输出(模拟)	<b>带隙输出电压</b> 该引脚可驱动最大电流为 100uA 的电流源或电流负载，驱动最大容性负载为 80pF。
140	CalFlag	输出(LVCMOS)	<b>校准标志</b> 当校准正在运行中，该引脚输出逻辑高电平
34	R <sub>EXT</sub>	/(模拟)	<b>外部偏置电阻连接</b> 一般该引脚与地之间接 3.3KΩ(±0.1%)电阻。
40 41	Tdiode_P Tdiode_N	/(模拟)	<b>温度二极管</b> 二极管正极 (阳极) 和负极 (阴极)。这些引脚可以用来测量芯片温度，但是不保证精度符合要求。附近的输出数据信号会将噪声耦合到该引脚，从而影响温度的测量。
42/43 44/45 49/50 51/52 53/54 55/56 60/61 62/63 58/59 64/65 75/76 77/78 79/80	Da0p/Da0n Da1p/Da1n Da2p/Da2n Da3p/Da3n Da4p/Da4n Da5p/Da5n Da6p/Da6n Da7p/Da7n Dc0p/Dc0n Dc1p/Dc1n Dc2p/Dc2n Dc3p/Dc3n Dc4p/Dc4n	输出(LVDS)	<b>数据通道(A 和 C)</b> 第一个内部转换器的数据输出通道。数据必须按照 ABCD 的顺序输出。这些输出必须外接 100Ω 的差分电阻。

81/82 85/86 87/88	Dc5p/Dc5n Dc6p/Dc6n Dc7p/Dc7n		
94/93 96/95 100/99 102/101 104/103 106/105 115/114 117/116 119/118 121/120 126/125 128/127 130/129 132/131 137/136 139/138	Dd7p/Dd7n Dd6p/Dd6n Dd5p/Dd5n Dd4p/Dd4n Dd3p/Dd3n Dd2p/Dd2n Dd1p/Dd1n Dd0p/Dd0n Db7p/Db7n Db6p/Db6n Db5p/Db5n Db4p/Db4n Db3p/Db3n Db2p/Db2n Db1p/Db1n Db0p/Db0n	输出(LVDS)	<p><b>数据通道(B 和 D)</b></p> <p>第二个内部转换器的数据输出通道。数据必须按照 ABCD 的顺序输出。这些输出必须外接 100Ω 的差分电阻。</p>
89 90	ORp ORn	输出(LVDS)	<p><b>溢出</b></p> <p>当 ORp 引脚输出为高电平、ORn 引脚输出为低电平时说明差分输入超出了满量程输入范围(输入范围由 FSR 引脚决定, 为 ±300mV 或 ±410mV)。这些引脚需要外接 100Ω 的差分电阻。</p>
92 91	DCLKp DCLKn	输出(LVDS)	<p><b>差分(数据)时钟</b></p> <p>用来锁存差分输出数据的时钟, 可以同步经过延时的和非延时的输出数据。在 SDR 模式下, 差分时钟的频率为采样时钟的 1/2, 在 DDR 模式下, 差分时钟的频率为采样时钟的 1/4, 这些引脚需要外接 100Ω 的差分电阻。通过设置配置寄存器(地址 1h)的 bit-14 位 (RTD)可以使校准过程中的差分输出时钟 (DCLK)无效。</p>
4, 7, 10, 15, 18, 19, 22, 27, 30, 39, 142	V <sub>DDA</sub>	/(电源)	<p><b>模拟电源引脚</b></p> <p>这些引脚须旁路到模拟地</p>
46, 57, 68, 83, 98, 113, 124, 135	V <sub>DDD</sub>	/(电源)	<p><b>输出驱动电源引脚</b></p> <p>这些引脚须旁路到驱动地</p>
3, 8, 11, 14, 23, 26, 29	AGND	/(地)	<p>模拟电源 V<sub>DDA</sub> 相对应的地端</p>





48, 59, 70, 84, 97, 111, 122, 133	DGND	/(地)	驱动电源 $V_{DD}$ 相对应的地端
1, 2, 31, 35, 36, 37, 38, 47, 58, 69, 71, 72, 73, 74, 107, 108, 109, 110, 112, 123, 134, 143, 144	NC	/	这些引脚无连接

## 五、引脚定义（见附录 1）

## 六、产品描述

### 6.1 传输特性

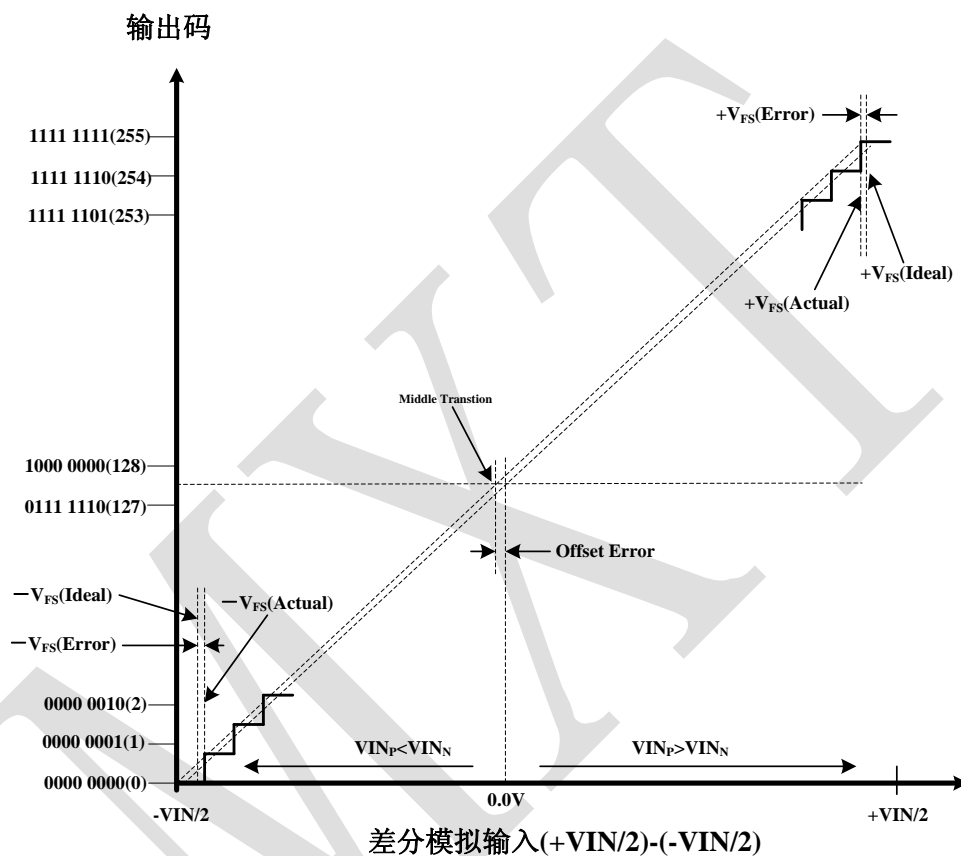


图 3 输入/输出传输特性

## 6.2 工作时序图

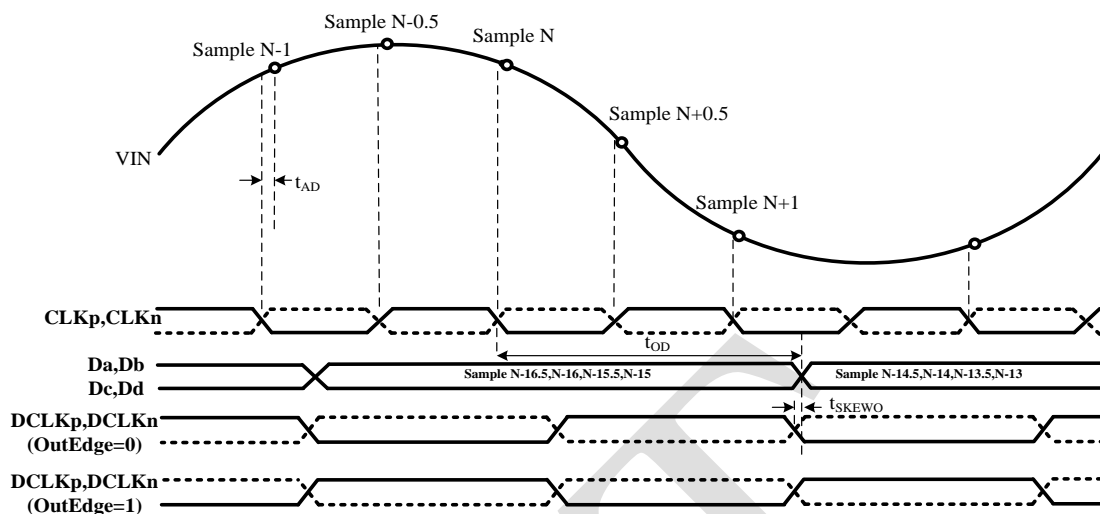


图 4 MXT2003 整体时序——单数据率(SDR)模式

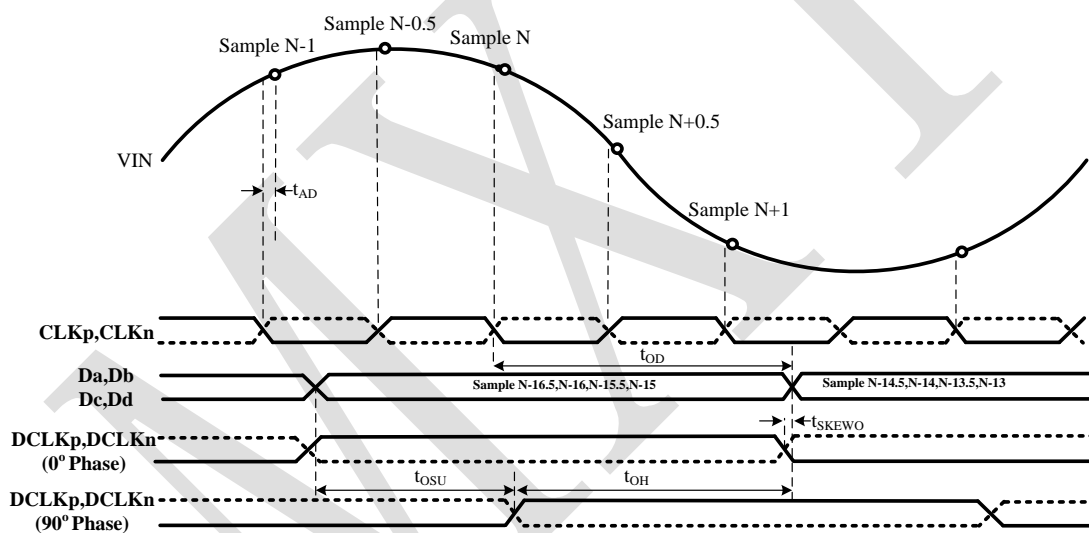


图 5 MXT2003 整体时序——双数据率(DDR)模式

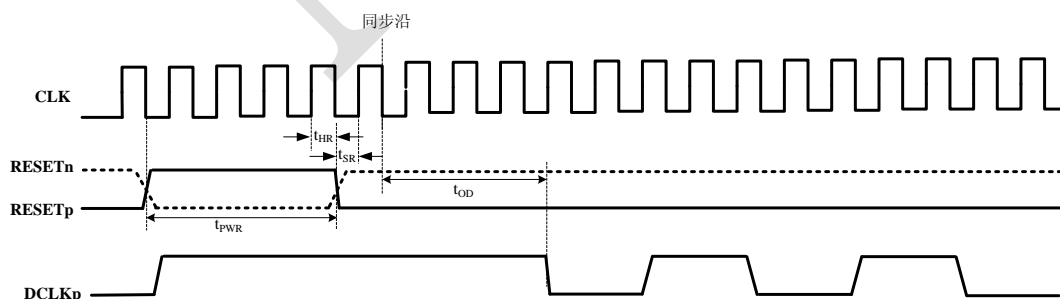


图 6 MXT2003 双数据率(DDR)模式——时钟复位时序

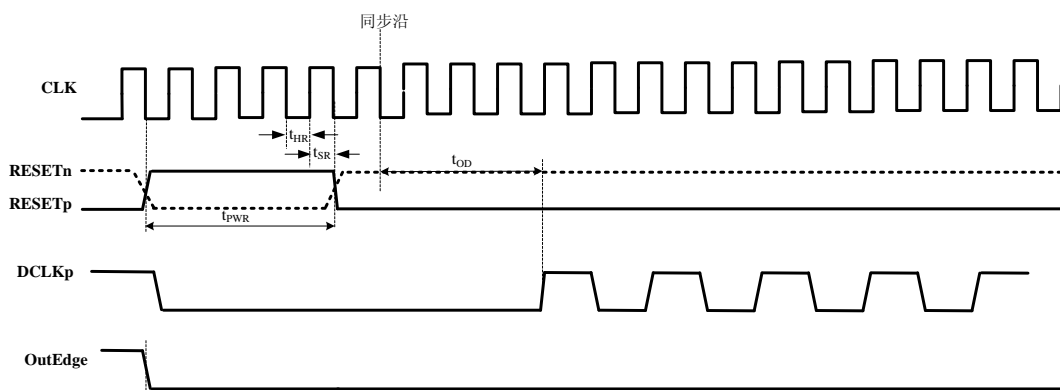


图7 MXT2003单数据率(SDR)模式——时钟复位时序(引脚OutEdge接低电平)

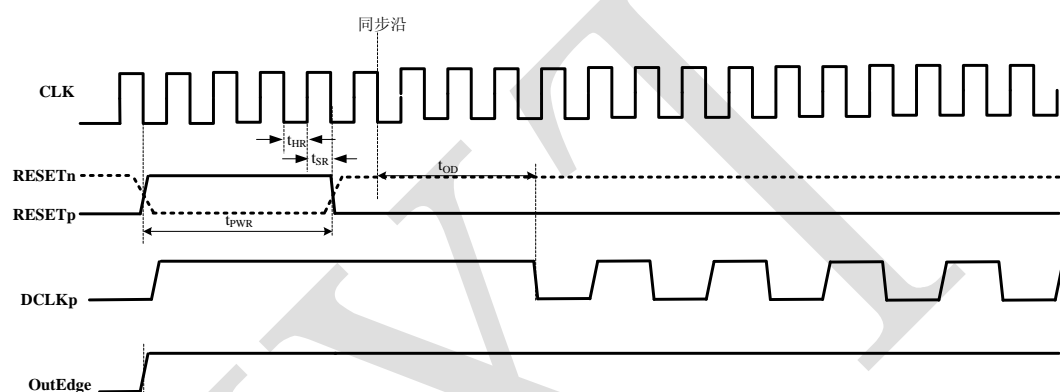


图8 MXT2003单数据率(SDR)模式——时钟复位时序(引脚OutEdge接高电平)

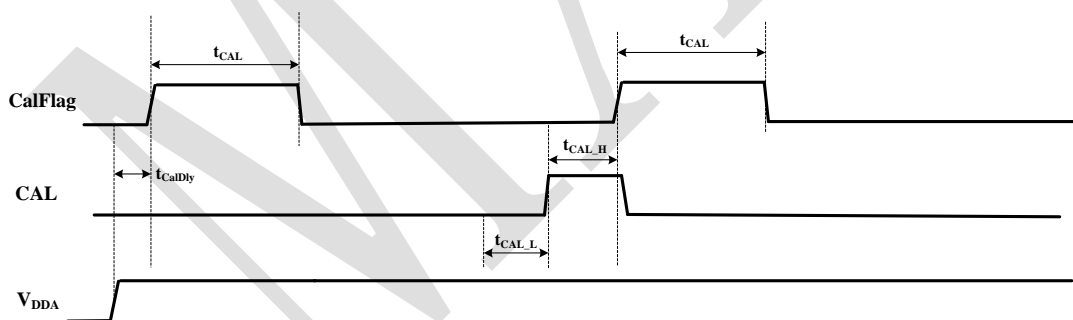


图9 上电自校准和命令校准时序

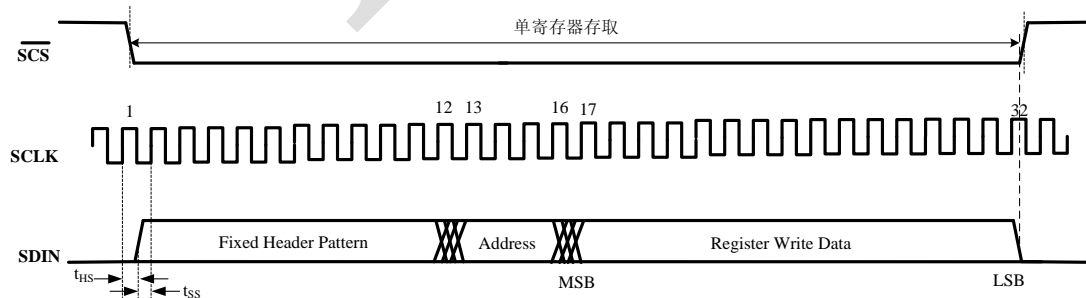


图10 用户串行接口时序

## 6.3 功能描述

MXT2003 是一款用途广泛的高速高性能 A/D 转换器，采用了创新的结构设计，适用于高速应用场合。该芯片的多种控制模式也简化了应用电路的设计。在使用时，须遵守本节以及第 6.4 节中所描述的规则，方可获得最佳的性能。

一般来说，MXT2003 在使用时不应将引脚浮空。对于引脚 6 和引脚 16，由于实现某种功能时要将引脚浮空时，可将此引脚与相当于  $V_{DDA}$  一半的电压相连，这与将此引脚浮空所得到的效果相同。

### 6.3.1 概述

MXT2003 采用可校准的折叠插值电路结构，其有效位数可以达到 7.2。折叠放大器可以显著减少比较器的数量，进而降低电路功耗，插值电路可以降低前置放大器的数目，最小化输入信号电容，也可以降低电路功耗。另外，采用片上数字校准电路可以降低折叠结构中的非线性效应，从而实现了超高速、高性能、低功耗的模数转换。

当模拟输入信号处于转换器的输入电压范围内时，MXT2003 在典型采样率为 1.0GSPS~3GSPS 的情况下能实现 8 位分辨率的精度。当差分输入电压小于满量程的负值时，输出码为全‘0’，而当差分输入电压超过满量程的正值时，输出码为全‘1’，上述两种情况都会使得 OR（溢出）信号的输出有效（ORp 和 ORn 输出差分逻辑高电平）。OR 信号的输出有效表明转换器的输出码低于满量程的负值或高于满量程的正值。

MXT2003 具有 1:4 信号分离器，四条数据输出总线按 ADC 采样速率的四分之一的速度输出数据。用户需要对四路输出数据进行交错处理，从而得到全采样率的输出数据。

输出的电平可以在正常电平模式或低电平模式下选择。采用低电平模式可以降低功耗，但也会带来一位或多位的数据捕获偏差，在高采样率下以及边沿设计系统中尤为明显。

#### 6.3.1.1 自校准

校准可在器件上电时自动执行，也可以由用户命令激活。校准可以精确调整  $100\Omega$  输入差分终端电阻，最小化满量程误差、失调误差、DNL 以及 INL，从而提高电路的动态性能，提高 SNR、THD、SFDR 和 ENOB 等。同时，内置的偏置电流也通过校准过程设定。无论校准是在上电时自动执行还是通过外部命令激活执行，上述各方面都会得到改善。对该芯片而言，校准是芯片功能中很重要的一部分，为了得到满足需要的性能，校准也是必须的。除了在芯片上电时校准会执行外，在 FSR 引脚状态改变时，用户需要命令激活校准，对芯片进行重新校准。为了获得最好的性能，我们推荐在器件运行达到一个稳定的温度后对芯片进行

命令校准。同样，针对具体的系统性能要求，在工作温度发生变化而影响性能时，我们也推荐对芯片进行命令校准。在 6.4.4.2.2“命令校准模式”中对此有更详细的说明。芯片处于掉电模式时，校准不能够被初始化以及运行。在 6.3.1.7“掉电模式”中对于掉电模式和校准之间的相互关系有更多信息。

在正常操作中，校准在芯片上电时或者在命令校准有效时进行，命令校准的有效条件为：在 CAL 引脚保持至少 80 个时钟周期低电平后，再使 CAL 引脚为高至少 80 个时钟周期。校准过程所需要的时间为  $t_{CAL}$ ，在转换器电参数表中有详细定义。在芯片上电时保持 CAL 引脚一直为高可以阻止上电自校准，直到在 CAL 引脚上经历上面提到的先经历 80 个时钟低电平，再经历 80 个时钟高电平之后，才会对芯片进行命令校准。

CalDly（引脚 141）用于上电自校准的延迟时间的选择。当 CalDly 为低时，校准延迟时间为  $2^{25}$  个输入时钟周期（在 3GSPS 采样率时，大约为 22ms）；当 CalDly 为高时，校准延迟时间为  $2^{31}$  个输入时钟周期（在 3GSPS 采样率时，大约为 1.4s）。该延迟能够使得在启动校准之前，保证电源处于一个稳定上电状态。如果 PD 引脚在上电时为高，校准延迟计数器将停止工作，直到 PD 引脚为低之后再恢复工作。因此，在上电过程中，将 PD 引脚设为高，可以进一步增大上电校准的延迟时间。而对 CalDly 引脚的最佳设置取决于电源的上电建立时间。

CAL 引脚不会自动从高电平复位到低电平，当需要进行一次新的校准时，需要对 CAL 引脚手动复位。如果不需要进一步的校准，可以一直保持 CAL 引脚为高而不会产生任何负面效果。在校准时，如果时钟相位调整也使能有效，比特位 RTD 的设置将会变得很关键。如果在校准时，保持时钟相位调整有效，那么比特位 RTD 必须保持为高，否则校准将不会执行；如果在校准时，时钟相位调整无效，则无论比特位 RTD 为高或低，校准都会执行。

#### 校准操作说明：

在校准执行过程后，可能会使 OR 的输出有效。但在校准过程中，所有数据输出引脚上的数据和 OR 引脚上的输出均为无效的。

在上电校准或命令校准过程中，当电阻修调无效时（地址：1h，bit-13 为‘0’），为降低校准过程中输入电阻校准部分所带来的噪声，包括内部时钟和 DCLK 在内的所有片上时钟被暂停挂起，同时输入终端电阻的值被修调为  $R_{EXT}/33$ 。6.4.4.2“校准”中对命令校准模式下维持 DCLK 工作的操作有更多信息。外部电阻  $R_{EXT}$  接在引脚 34 和地之间，其电阻值必须为  $3300\Omega$ （ $\pm 0.1\%$  精度），按照该值，输入终端电阻被调整为  $100\Omega$ 。由于  $R_{EXT}$  同时需要为采样保持放



大器、预放大器、比较器以及其它与  $R_{EXT}$  值相关的电路设定适合的电流，因此， $R_{EXT}$  不能够被设定成其它的值。

无论是上电校准还是外部命令校准，在校准执行过程中的任何时候，CalFlag 的输出均为高。

### 6.3.1.2 输入捕获

数据在 CLKp（引脚 12）的上升沿和下降沿被捕获，与此相对应的输出端口输出数据，Da 输出总线输出 14.5 个输入时钟周期之前采样的数据，Db 输出总线输出 14 个输入时钟周期之前采样的数据，Dc 输出总线输出 13.5 个输入时钟周期之前采样的数据，Dd 输出总线输出 13 个输入时钟周期之前采样的数据，详见表 2。数据在有效输出之前，存在一个额外的内部延迟  $t_{OD}$ ，如图 4，图 5 所示。一旦加载输入时钟信号，MXT2003 将会开始工作。全差分比较器的设计、创新的采样保持放大器的设计、以及校准技术，这些都使得该转换器在 1.5GHz 的输入时钟频率以内具有非常平坦的 SINAD/ENOB 响应。MXT2003 的输出数据采用 LVDS 电路，按照偏移二进制码输出。

### 6.3.1.3 控制模式

该转换器提供多个控制引脚，方便用户实现对转换器的各种控制。例如校准过程的启动、掉电模式以及满量程范围等均可由用户自行设定。同时，MXT2003 还提供扩展控制模式，通过一个串行接口来设置内部寄存器从而实现转换器的工作模式控制。尽管用户希望在任何时刻都能够对正常控制模式或扩展控制模式进行选择，但扩展控制模式并不能动态的被激活或禁止。当转换器处于扩展控制模式时，由多个引脚控制的参数被寄存器中的参数所替代，此时的引脚控制被禁止。这些引脚包括 OutV（引脚 5）、OutEdge/DDR（引脚 6）、FSR（引脚 16）以及 CalDly/DES（引脚 141）。在 6.3.2“正常/扩展控制模式”中可以得到有关扩展控制模式的详细信息。

### 6.3.1.4 模拟输入

MXT2003 必须由差分输入信号驱动，不推荐采用单端输入。很重要的一点是，当  $V_{CM}$  引脚接地时，信号按 a.c.耦合方式输入；当  $V_{CM}$  浮空或带轻微负载时，则按 d.c.耦合方式输入。当采用 d.c.耦合方式时，外部需提供输入共模电平，其值与  $V_{CM}$  的输出相等。

通过引脚16可以对两种满量程范围进行选择。当引脚16为高时，输入满量程差分电压范围为820 mV<sub>P-P</sub>；当引脚16为低时，输入满量程差分电压范围为600 mV<sub>P-P</sub>。

在扩展控制模式下，满量程输入范围可通过一个串行接口设置在560 mV<sub>P-P</sub>到840 mV<sub>P-P</sub>

之间，详见6.4.2节。

### 6.3.1.5 时钟

MXT2003 的采样时钟信号（CLKp/CLKn）必须采用差分时钟信号，通过 a.c.耦合方式驱动。6.4.3 节将详细描述时钟输入引脚的使用方法。任何需要接收该转换器输出数据的器件，都可以通过转换器的差分 LVDS 输出时钟（DCLK）来锁存 ADC 的输出数据。

MXT2003 对输入时钟（CLKp/CLKn）和输出时钟（DCLK）均提供不同的选择。对于 DCLK 信号，可以选择在 DCLK 的哪个边沿输出数据以及选择单倍数据率（SDR）或者双倍数据率（DDR）的输出模式。

芯片内部时钟电路会对采样时钟的占空比进行一定的调整。该功能是默认使能的，能够提供良好的 ADC 时钟。该时钟电路能够允许输入时钟信号源的占空比在 80%到 20%（最坏情况）之间。

#### 6.3.1.5.1 输出信号分离器

MXT2003 在输入时钟的上升沿和下降沿进行数据采样并转换，因此整体的采样速率为输入时钟频率的两倍，也就是说，在 1.5GHz 的输入时钟频率下，转换器将获得 3GSPS 的采样率，并且信号分离器将输出数据按 750MHz 的频率在每条数据总线上输出，总共四条数据总线。四条数据总线输出数据是并行的，每次输出四个字节，并分别对应如下的采样顺序，按时间先后为：Da, Db, Dc, Dd。表 2 给出了输出数据与所代表的输入采样的关系。

MXT2003 还具有时钟相位后台自动校准功能，该功能可以自动并持续地调整 ADC 的输入时钟相位，省去了人工调整时钟相位的麻烦并提供良好的 ENOB。

表 2 输入通道采样产生的对应数据输出

输出数据	输入/输出关系
Dd	折叠插值 d 在 13 个时钟周期前的下降沿采样的数据
Db	折叠插值 b 在 14 个时钟周期前的下降沿采样的数据
Dc	折叠插值 c 在 13.5 个时钟周期前的上升沿采样的数据
Da	折叠插值 a 在 14.5 个时钟周期前的上升沿采样的数据

**注意：**第一个输出数据总是在 DCLK 的下降沿

#### 6.3.1.5.2 输出边沿设置

为了方便在 SDR 模式下的数据捕获，输出数据可以在输出数据时钟（DCLK）的上升沿或者下降沿进行传输，这可以通过 OutEdge（引脚 6）进行选择。OutEdge 端接高电平时，



输出数据会在 DCLKp 的上升沿传输；当此引脚接地时，输出数据则会在 DCLKp 的下降沿传输。

### 6.3.1.5.3 双倍数据率

MXT2003 可以选择单倍数据率（SDR）或者双倍数据率（DDR）传输。采用双倍数据率传输模式时，系统配置寄存器（地址：1h）的 bit -8 需要设置为比特‘0’。在单倍数据率传输模式下，输出时钟（DCLK）频率与两个输出数据总线的数据吞吐率一样。而在双倍数据率模式下，DCLK 的频率则是输出数据总线数据吞吐率的一半，在 DCLK 的上升沿和下降沿都输出数据。DDR 模式在非扩展模式下通过将引脚 6 浮空来使能。

### 6.3.1.6 LVDS 输出

数据输出、溢出（OR）以及 DCLK 都采用 LVDS 接口。当 OutV（引脚 5）接高电平时，输出电流源将提供给 100 欧姆的差分电阻负载 3mA 的输出电流；当 OutV 为低时，电流变为 2.2mA。如果使用的 LVDS 连线较短并且系统的噪声很低，将 OutV 接低电平就可以实现较好的性能，并有利于节省功耗。如果 LVDS 的连线比较长或者 MXT2003 工作的环境噪声影响比较大，则需要将 OutV 引脚接到高电平。

当 V<sub>REF</sub> 引脚浮空时，LVDS 数据输出的典型共模值是 800mV；如果将 V<sub>REF</sub> 引脚接到 V<sub>DDA</sub> 上，共模电平则可以增加到 1.150V。

**注意：**将 V<sub>REF</sub> 引脚连接到 V<sub>DDA</sub>，也将会使差分 LVDS 输出电压（V<sub>OD</sub>）增加 40mV 左右。

### 6.3.1.7 掉电模式

当掉电模式（PD）引脚接低电平时，MXT2003 处于正常工作状态。当 PD 为高时，器件将进入掉电模式。在掉电模式下，数据输出引脚（正端和负端）包括 DCLKp/n 和 ORp/n 全部变为高阻状态，器件消耗的功耗会变得很小。

如果 PD 变为高电平时，器件校准正在运行中，此器件不会马上进入掉电模式，而是直到校准完成才会进入到掉电模式。同样的，如果器件上电时，PD 已经接高电平，器件不会开始校准直到 PD 接到低电平。而当器件处于掉电模式下时，命令校准根本就不会起作用。也就是说，命令校准功能在掉电模式下是完全被忽略的。

## 6.3.2 正常/扩展控制模式

MXT2003 有两种工作模式，可以选择工作在任何一种模式下。在正常控制模式下，用户只需要通过几个控制引脚就可以对转换器进行配置。而“扩展控制模式”则会通过一个串口以及 6 个内部寄存器来提供额外的配置和控制的选择。这两种控制模式可以通过引脚 16

（FSR/ECE：扩展控制使能）来进行选择。控制模式一旦选定就应当固定下来，当器件开始工作后，将不允许动态切换工作模式。表 3 给出了不同的控制模式选择对器件特性的影响。

表 3 功能与控制模式

特性	正常控制模式	扩展控制模式
钟控 SDR 或 DDR	当引脚 6 浮空时，选择 DDR 模式；当引脚 6 不浮空时，选择 SDR 模式	对配置寄存器的 nDE 位（1h, bit-10）进行选择，当器件处于 DDR 模式时，地址 1h, bit-8 必须设置为 0b
DDR 时钟相位	不可选（相位只能为 0°）	对配置寄存器的 DCP 位（1h, bit-11）进行选择
SDR 数据在 DCLK 的上升沿或者下降沿传输	当引脚 6 为高时，SDR 数据在 DCLKp 的上升沿进行传输；当引脚 6 为低时，在下降沿传输	对配置寄存器的 OE 位（1h, bit-8）进行选择
LVDS 输出电平	当引脚 5 为高时，正常的差分数据以及 DCLK 的幅度将会被选择；当引脚 5 为低时，输出的幅度会减小	对配置寄存器的 OV 位（1h, bit-9）进行选择
上电校准延时	当引脚 141 为低时为短延时；引脚 141 为高时，选择较长的延时	只有短延时
全摆幅输入范围	通过引脚 16 可选幅度（600mV <sub>P-P</sub> 或 820mV <sub>P-P</sub> ）	可以在 560mV 到 840mV 的范围内进行最多 512 步的调整；通过对输入全摆幅调整寄存器（3h, bit-7~bit15）进行选择
输入失调调整	不可以	通过输入失调寄存器（2h, bit-7~bit-15）可以进行最多 512 步的调整，最大有 ±45mV 的调整范围

采样时钟 相位调整	时钟相位是自动调整的	通过对扩展时钟相位调整细调（Dh）和粗调（Eh）寄存器进行选择
测试模式	不可以	通过对测试模式寄存器的 TPO 位（Fh, bit-11）进行选择
禁止电阻调整	不可以	通过对配置寄存器的 RTD 位（1h, bit-13）进行选择，当 RTD 被选择，DCLK 输出一直存在

扩展控制模式在上电复位时的默认状态（由器件内部执行）如表 4 所示：

表 4 扩展控制模式操作（引脚 16 浮空）

功能	扩展控制模式的默认状态
钟控 SDR 或 DDR	钟控 DDR
DDR 时钟相位	数据在 DCLK 的边沿（0°相位）传输
LVDS 输出幅度	正常幅度（680mV <sub>P-P</sub> ）
校准延时	短延时
全摆幅范围	均为正常的 700mV
输入失调调整	每个通道都不进行调整
禁止电阻调整	电阻调整使能，DCLK 在输出端不会连续不断的出现
测试模式	不会存在数据输出

### 6.3.3 串行接口

**注意：**在第一次通过串口进行写操作时，需要对所有的 6 个寄存器写入所需要的值或默认值，随后的对单个寄存器的写操作才被允许。

由三个引脚组成的串行接口仅在扩展控制模式下起作用，包括串行时钟（SCLK），串行数据（SDIN）和串行接口片选（SCS）。6 个只写寄存器与之相连。

**SCS：**在通过串行接口访问寄存器的时候，SCS 端必须为低电平。相对于 SCLK 的建立

和保持时间必须要注意。

**SCLK:** 从 SCLK 的上升沿开始读入数据，对 SCLK 的最小频率没有要求。

**SDIN:** 每个寄存器的访问需要一组指定形式的 32 位输入数据。这组数据包括头码，寄存器地址和寄存器值。数据从最高位开始移位，相对于 SCLK 的建立和保持时间要注意，具体参照时序图。

每个寄存器访问涉及到一组 32 位的数据，如图 10 时序图所示。头码为固定的 0000 0000 0001b（十一个 0 和一个 1）。第一位为 0 时开始读入，连续的十一个 0 和一个 1 组成头码。接下去的 4 位为将要写入的寄存器的地址码，最后的 16 位为写入该地址上寄存器里的数据。不同寄存器的地址如表 5 所示。

对应写入寄存器的数据请参考 6.3.4 里的寄存器描述。

从第 33 个 SCLK 开始，随后的寄存器存取便立刻开始，在连续对不同地址的寄存器进行写操作时，没有必要使 SCS 在这期间反复变化。虽然不推荐，但是在扩展控制模式下，保持 SCS 一直为低电平是可以接受的。

**注意:** 在 ADC 的校准期间，串行接口不应使用，否则会降低芯片的性能，直到再次校准正确。对串口寄存器编程，也会由于寄存器的访问造成芯片动态性能的降低。

表 5 寄存器地址

四位地址					
加载顺序: 在头码之后 A3 先加载, A0 最后加载					
A3	A2	A1	A0	Hex	寄存器
0	0	0	0	0h	保留
0	0	0	1	1h	系统配置
0	0	1	0	2h	失调
0	0	1	1	3h	满量程输入电压调整
0	1	0	0	4h	保留
0	1	0	1	5h	保留
0	1	1	0	6h	保留
0	1	1	1	7h	保留

1	0	0	0	8h	保留
1	0	0	1	9h	保留
1	0	1	0	Ah	保留
1	0	1	1	Bh	保留
1	1	0	0	Ch	保留
1	1	0	1	Dh	扩展模式时钟相位细调
1	1	1	0	Eh	扩展模式时钟相位粗调
1	1	1	1	Fh	测试模式

### 6.3.4 寄存器详细描述

6 个只写寄存器在扩展控制模式下提供了几种控制和设置的选择，而在普通控制模式下，这些寄存器不会产生任何影响。以下的每个寄存器描述都包含了每个控制位上电复位（POR）后的状态。

#### 系统配置寄存器

地址：1h (0001b)

只写 (0x92FF)

D15	D14	D13	D12	D11	D10	D9	D8
1	DRE	RTD	DCS	DCP	nDE	OV	OE

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 必须为比特‘1’

Bit 14 DRE: 差分复位信号使能。为比特‘0’时，RESET 为单端形式；为比特‘1’时，RESET 为差分形式。

上电复位状态：比特‘0’

Bit 13 RTD: 禁止电阻修调。为比特‘1’时，在校准过程中，输入终端电阻不被修调，DCLK 输出一直有效。注意该比特位的设置对校准的执行与否没有影响。

上电复位状态：比特‘0’

Bit 12 DCS: 占空比稳定控制。为比特‘1’时，占空比稳定电路将被应用到时钟输入。为比特‘0’时，占空比稳定电路不起作用。

上电复位状态：比特‘1’

Bit 11 DCP: DDR 时钟相位。只在 DDR 模式下有用。为比特‘0’时，DCLK 边沿与数据总线边沿对齐（‘0’相位）。为比特‘1’时，DCLK 边沿与数据总线边沿相差 90°。

上电复位状态：比特‘0’

Bit 10 nDE: DDR 模式使能。为比特‘0’时，数据总线时钟工作在 DDR 模式，在 DCLK 的上升和下降沿都有数据输出。为比特‘1’时，数据总线时钟工作在 SDR 模式，由 OutEdge 位来决定在 DCLK 的上升沿或者下降沿输出数据。

上电复位状态：比特‘0’

Bit 9 OV: 输出电压。OV 位决定 LVDS 输出电压的幅度，具有普通控制模式下引脚 OutV 一样的功能。为比特‘1’时，标准输出幅度为 680mV<sub>P-P</sub>；为比特‘0’时，标准输出幅度为 520mV<sub>P-P</sub>。

上电复位状态：比特‘1’

Bit 8 OE: 输出沿。该比特位具有两个功能。当器件处于 SDR 模式时，该位用来确定输出数据在 DCLK 的哪个沿输出，为比特‘1’时，在 DCLK<sub>p</sub> 的上升沿输出数据；为比特‘0’时，则在 DCLK<sub>p</sub> 的下降沿输出数据，具有普通控制模式下引脚 OutEdge 一样的功能。当器件处于 DDR 模式时，该比特位必须设置成‘0’。

上电复位状态：比特‘0’

Bits 7:0 必须都设置为比特‘1’。

### 失调调整

地址：2h (0010b)

只写 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)		Offset Value				(LSB)	

D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

Bits 15:8 失调值。通过这组码的设置，可以线性和单调的调整 ADC 的失调电压。00h 提供 0mV 的失调调整，FFh 提供 45mV 的失调调整。也就是说，调整码每增加或减小 1 比特，能提供 0.176mV 的失调单步调整值。

上电复位状态：0000 0000 b (无调整)



Bit 7 符号位。比特‘0’表示正调整，比特‘1’表示负调整。

Bit 6:0 必须都为比特‘1’。

### 全摆幅电压调整

地址：3h (0011b)

只写 (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Adjust Value							

D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

Bit 15:7 全摆幅电压调整值。转换器的输入全摆幅电压或增益可以通过该 9 位数据码获得线性单调的调整。调整范围为差分峰峰值  $700\text{mV}_{\text{P-P}}$  的  $\pm 20\%$ 。

0000 0000 0b  $560\text{mV}_{\text{P-P}}$

1000 0000 0b  $700\text{mV}_{\text{P-P}}$  默认值

1111 1111 1b  $840\text{mV}_{\text{P-P}}$

为了能获得最好的性能，推荐调整的范围为 0110 0000 0b 到 1110 0000 0b 之间。

也就是说将调整的范围控制在  $\pm 15\%$  以内，那么就有 5% 的余量留给转换器本身满量程的变化。增益的调整不需要转换器重新校准。

上电复位状态：1000 0000 0b

Bit 6:0 必须都为比特‘1’。

### 扩展时钟相位调整细调

地址：Dh (1101b)

只写 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)	FAM						

D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

Bits 15:7 细调幅度。当这些位都设置为比特‘1’时，可以得到总共 110ps 的时钟调整。

上电复位状态：0000 0000 0b

Bit 6:0 必须都为比特‘1’。

### 扩展时钟相位调整粗调

地址: Eh (1110b)

只写 (0x03FF)

D15	D14	D13	D12	D11	D10	D9	D8
ENA	CAM				LFS	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 时钟相位调整使能, 默认值为比特‘0’。在时钟相位调整使能有效时, 为保证合适的命令校准, RTD 位也必须被设置。

Bit 14:11 粗调幅度。每一个 LSB 提供大约 70ps 的时钟相位调整。

上电复位状态: 0000b

Bit 10 低频采样时钟。该位为比特‘1’时, 当采样时钟低于 900MHz 时, 器件的动态性能会得到改善。

上电复位状态: 比特‘0’

Bit 9:0 必须都为比特‘1’。

### 测试模式

地址: Fh (1111b)

只写 (0xF7FF)

D15	D14	D13	D12	D11	D10	D9	D8
1	1	1	1	TPO	1	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15:12 必须都为比特‘1’。

Bit 11 TPO: 测试模式输出使能。为比特‘1’时, 一个测试模式产生器将连接到数据输出和 OR。测试模式能与 SDR 或 DDR 模式同时工作。

上电复位状态: 比特‘0’

Bit 10:0 必须都为比特‘1’。



#### 6.3.4.1 扩展模式下失调修正的注意事项

当使用失调调整寄存器时，以下的一些情况需要注意到。

对于失调调整值+0000 0000b 和-0000 0000b 来说，实际上并不一样，在这种情况下，只改变符号位，两者之间大概有 0.1LSB 的偏差，下图比较清楚的说明了这一点。

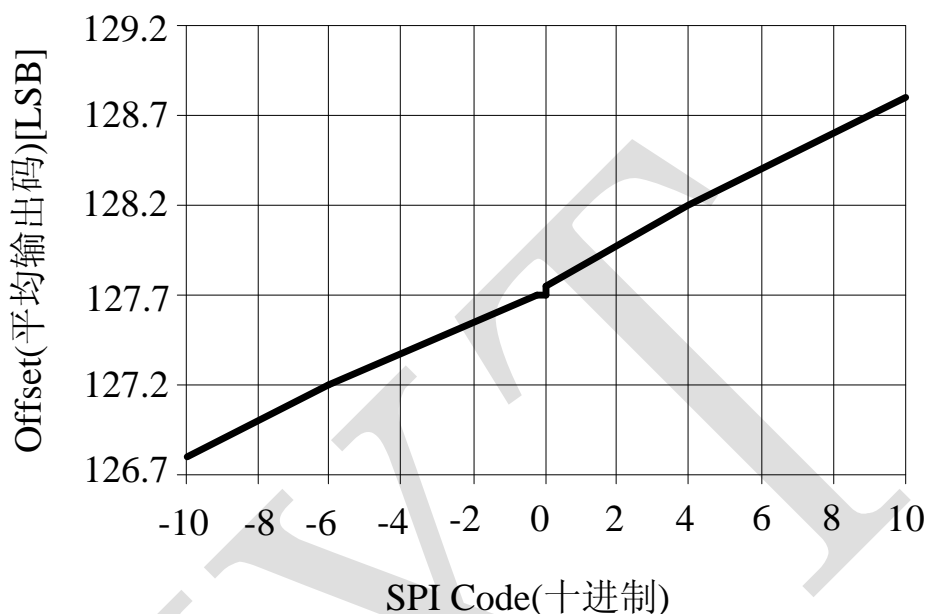


图 11 扩展模式的失调特性

#### 6.3.5 多个转换器的同步

MXT2003 可以通过精确地重置其采样时钟 (CLK) 来实现一个系统中多个转换器输出时钟 (DCLK) 和数据的同步，即可以在一个系统中使得多个转换器的 DCLK (和数据) 相对于它们公用的采样时钟 (CLK) 来说是同时输出的。

MXT2003 适用于需要单端 (LVCMOS) RESET 或差分 (LVDS) RESET 的系统。

**单端 (LVCMOS) RESET:** RESET 的上电复位状态是单端 RESET 处于激活状态的。系统配置寄存器的比特位 14 (DRE) 设置为 '0'。当单端 RESET 不被使用时，该输入应接地。

**差分 (LVDS) RESET:** 通过设置配置寄存器的比特位 14 (DRE) 为 '1' 来激活。当差分 RESET 不被使用时，该输入应接地。差分 RESET 有一个 100Ω 的内部终端电阻，需要采用 AC 耦合。

RESET 信号必须遵守一些时序要求，如图 6，图 7，图 8 所示。RESET 的脉宽需要大于一个最小宽度，并且相对于输入时钟 CLK 的上升沿需要满足一定的建立保持时间，这些时间参数详见交流电参数表。

RESET 信号可以与输入时钟不同步。当 RESET 信号加入时，DCLK 输出会保持在一个指定的状态，该状态由 RESET 复位期间的工作模式（SDR 或 DDR）以及输出沿配置引脚或比特位的设置（详见与 DCLK 复位状态相关的图 6，图 7，图 8），因此当加入 RESET 信号时，DCLK 会伴随产生一个窄脉冲。当 RESET 有效信号停止时与 CLK 时钟的上升沿同步，那么在 CLK 的下一个下降沿时，DCLK 将与同一个系统中的其他 MXT2003 的 DCLK 时钟同步，然后 DCLK 输出会在一个固定的延时（和输入时钟频率有关）之后重新有效，这个延时为 CLK 输入和 DCLK 输出之间的时间差（ $t_{SD}$ ），在正常工作模式下，这个延时特性一直存在。

如果器件在编程时不使 DCLK 一直使能有效，那么 DCLK 在校准过程中将不再工作。因此，强烈建议 DCLK 仅仅作为数据采集时钟而不要当作系统时钟来使用。

当校准进行时（CalFlag 为高），RESET 引脚不应该接高电平，否则会在数字电路中出现一个数字干扰脉冲，导致校准无效。

### 6.3.6 ADC 测试模式

为帮助系统调试，MXT2003 拥有一个测试模式，在该模式下，转换器的四路输出端口与输入信号之间是相互独立的。测试模式的选择通过测试模式寄存器的 bit-11（TPO）来选择。在对测试寄存器的最后一个写操作后，再过大约 10 个 DCLK 时钟周期，测试数据将会出现在数字输出端口，此时 ADC 是不转换的，测试数据产生器连接到输出数据端以及 OR 端，每个数据输出端口输出一个特定的 8 比特数据，并交替按比特位取反，如表 6 所示。

表 6 测试模式的端口输出

时间	Da	Db	Dc	Dd	OR	内容
T0	01h	02h	03h	04h	0	第 n 个序列
T1	FEh	FDh	FCh	FBh	1	
T2	01h	02h	03h	04h	0	
T3	FEh	FDh	FCh	FBh	1	
T4	01h	02h	03h	04h	0	
T5	01h	02h	03h	04h	0	第 n+1 个序列
T6	FEh	FDh	FCh	FBh	1	
T7	01h	02h	03h	04h	0	
T8	FEh	FDh	FCh	FBh	1	
T9	01h	02h	03h	04h	0	
T10	01h	02h	03h	04h	0	第 n+2 个序列

T11	...	...	...	...	...	
-----	-----	-----	-----	-----	-----	--

## 6.4 应用说明

### 6.4.1 参考电压

MXT2003 的参考电压由 1.254V 的带隙基准生成，为方便用户使用，该电压被输出缓冲后由 33 引脚 ( $V_{REF}$ ) 引出，具有提供  $\pm 100 \mu A$  输出电流的驱动能力，如果需要更大的电流驱动能力，则需要增加额外的驱动器。

器件内部根据带隙基准而产生的 ADC 满量程输入范围为 600 mV 或 820 mV，由引脚 FSR 决定。

不提供外部基准电压的使用，全摆幅输入电压可以通过在扩展控制模式下的配置寄存器进行调整。

在所设定的全摆幅范围内的差分输入信号将会被数字化成 8 位数字信号，超出全摆幅范围的信号将会被截断，同时激活 OR 输出，表示信号超出范围。详见 6.4.2.2 超出范围指示。

$V_{REF}$  引脚的另一个功能是它还可以提升 LVDS 输出的共模电平值。当  $V_{REF}$  引脚作为输出或者浮空时，输出偏移电压 ( $V_{OS}$ ) 的典型值是 800mV。可以将  $V_{REF}$  直接连接到供电电源上，以提高 LVDS 的典型偏移电压值至 1.15V。

### 6.4.2 模拟输入

模拟输入可以是信号源通过 a.c.耦合或者 d.c.耦合的差分信号。在正常控制模式下，满量程输入范围可以通过 FSR 引脚选择 600 mV<sub>P-P</sub> 或 820 mV<sub>P-P</sub>；在扩展控制模式下，满量程输入范围的选择可以通过串行接口对满量程电压调整寄存器编程来实现 560 mV<sub>P-P</sub> 到 840 mV<sub>P-P</sub> 范围内的调整。为了得到最好的性能，在扩展控制模式下，满量程输入范围最好限制在 595 mV<sub>P-P</sub> 到 805 mV<sub>P-P</sub> 之间，因为内部调整满量程范围的 DAC 在调整范围两端的线性度不够。

表 7 给出了当 FSR 引脚接高电平并且处于正常（非扩展）模式下时输入和输出之间的关系。当 FSR 接地时，表 7 中的电压值应减小为表中所示电压值的 75%。在扩展控制模式下，这些值由满量程电压范围和控制寄存器中设置的失调来决定。

表 7 差分输入和输出之间的关系（非扩展控制模式，FSR 为高）

$V_{INP}$	$V_{IN_N}$	输出码
$V_{CM}-205mV$	$V_{CM}+205mV$	0000 0000

$V_{CM}-102.5mV$	$V_{CM}+102.5mV$	0100 0000
$V_{CM}$	$V_{CM}$	0111 1111/ 1000 0000
$V_{CM}+102.5mV$	$V_{CM}-102.5mV$	1100 0000
$V_{CM}+205mV$	$V_{CM}-205mV$	1111 1111

模拟输入带有缓冲电路，简化了对输入信号源驱动能力的要求，并且通常需要在采样 ADC 输入增加的 RC 电路也可以省略。如果希望在 ADC 前面使用运放电路，需要仔细的考虑噪声、失调，并且在系统应用频率范围内增益也要满足性能要求的运算放大器。

在 d.c.耦合模式时， $V_{INP}$  和  $V_{INN}$  两输入端之间的输入阻抗包括一个精确的  $100\Omega$  电阻，以及每个输入端有一个连接到地的电容。在 a.c.耦合模式时，输入阻抗一样，只是每个输入端与  $V_{CM}$  之间还有个  $50K\Omega$  的电阻。

当输入为 a.c.耦合时， $V_{CM}$  输出必须连接到地电位，如图 12 所示。这样片上的  $V_{CM}$  将会通过一个片上的  $50k\Omega$  电阻连接到输入上。

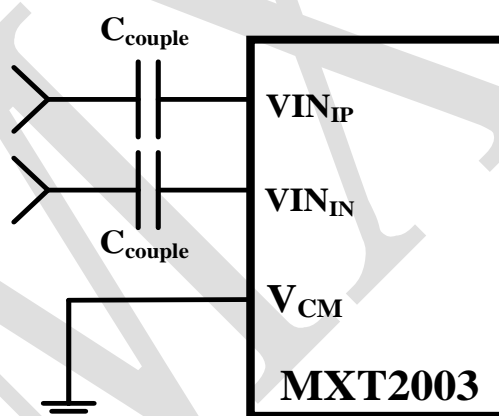


图 12 差分输入驱动

当输入为 d.c.耦合时，需要给差分输入信号提供一个精确的共模电平，该共模电平需要跟踪  $V_{CM}$  输出引脚的电平。注意，此时的  $V_{CM}$  会随着温度变化而变化，由器件驱动的共模电压将会跟随之变化。满量程偏移性能会随着输入共模电平偏离  $V_{CM}$  而迅速下降，这是使用低电源电压以减小功耗而带来的直接后果。

在两种输入耦合方式下，只要输入共模电平保持在  $V_{CM} \pm 50mV$  以内，两种耦合方式的

转换器性能是一样的。

#### 6.4.2.1 单端输入信号的处理

MXT2003 并不能处理单端输入信号，解决单端输入信号的最好方法就是在提供给 ADC 之前将其转换成差分信号。

##### 6.4.2.1.1 a. c. 耦合输入

完成单端 a.c.输入信号到差分 a.c.输入信号的最简单的一个方法是使用一个合适的变压器，如图 13 所示。

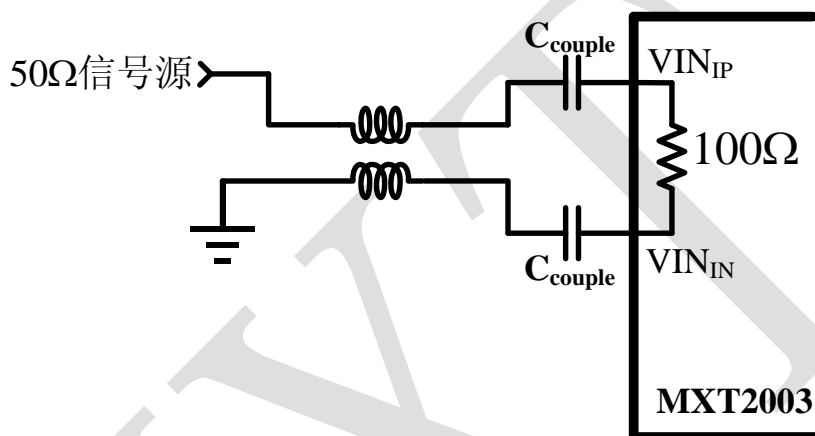


图 13 使用变压器实现单端信号到差分信号的转换

对于使用变压器的具体电路将取决于所选变压器的类型以及整体板级布局。推荐系统设计者联系所使用的变压器的制造商来帮助设计单端转差分电路，以使得所选择的变压器达到最好的性能。

当选择一个变压器时，系统设计者需要对变压器的几个参数仔细考量。变压器需要同时匹配模拟输入信号源的输出阻抗以及 MXT2003 的片上  $100\Omega$  差分输入终端电阻。该输入终端电阻值的范围见转换器电参数中的  $R_{IN}$ 。

同样，由于 ADC 结构的原因，转换后的差分信号的相位平衡和幅值平衡也很重要，当选择一个变压器时，就希望得到尽量平衡的相位和幅值。在输入频率范围内，相位之间的不平衡不要超过  $\pm 2.5^\circ$ ，幅值之间的不平衡不要超过 1dB。

最后，当选择一个变压器时，变压器的电压驻波比 (VSWR: Voltage Standing Wave Ratio)，带宽以及插入损耗都需要考虑。VSWR 帮助决定连接到 ADC 输入的变压器的整体传输线终端能力。变压器的输出需要在 ADC 的额定输入范围内（见转换器电参数  $V_{IN_P}$ ,  $V_{IN_N}$ ），因

此变压器的插入损耗也需要考虑。

#### 6.4.2.1.2 d. c. 耦合输入

当 MXT2003 需要采用 d.c.耦合方式时，单端输入转差分输入可以轻易的通过 LMH6555 来实现，如图 14 所示。在该应用中，LMH6555 实现了单端输入转差分输入的功能，并保证了很低的失调和噪声，以及很好的输出相位平衡和幅值平衡，完全能支持 MXT2003 的工作。将 MXT2003 的  $V_{CM}$  引脚通过一个合适的缓冲器接入到 LMH6555 的  $V_{CM\_REF}$  引脚上，可以保证输入共模电平使得 MXT2003 工作在最优性能下。LMV321 具有低电源电压和适度的失调电压的特性，在这里使用它来缓冲  $V_{CM}$  输出。

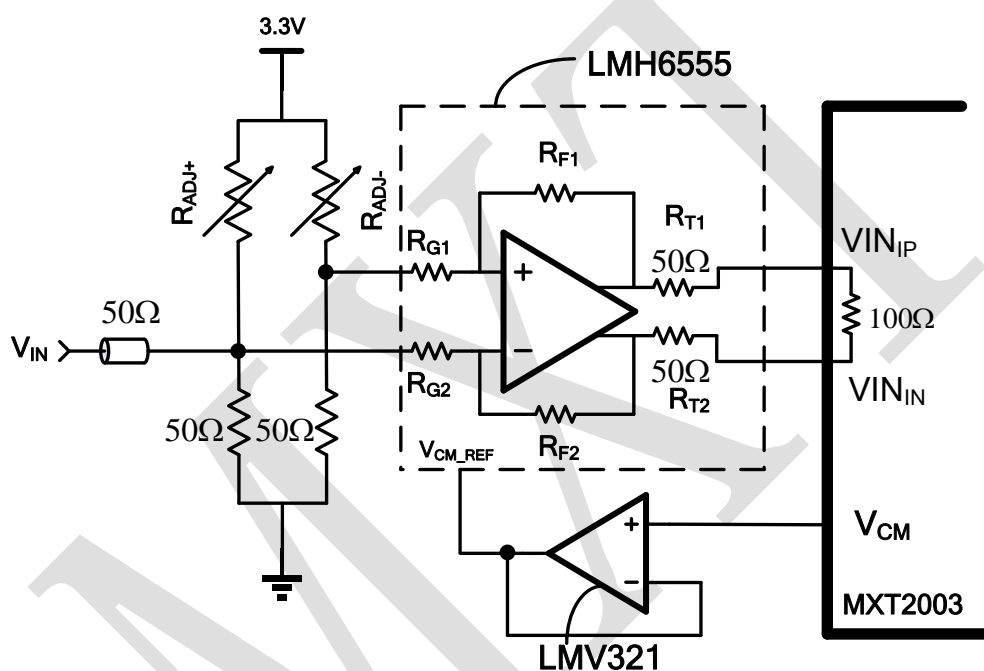


图 14 与  $V_{CM}$  相连的模拟输入示例

**注意：**应当确保  $V_{CM}$  的输出电流不超过  $100\mu A$ 。

在图 14 中， $R_{ADJ-}$ 和  $R_{ADJ+}$ 可以用来调整测量的 ADC 输入  $V_{IN_P}$  与  $V_{IN_N}$  之间的失调误差。如果未调整时，以  $V_{IN_N}$  作为参考，具有正的输入失调误差且超过  $|15mV|$ ，那么需要减小  $R_{ADJ-}$  的值；同样地，如果未调整时，以  $V_{IN_N}$  作为参考，具有负的输入失调误差且超过  $|15mV|$ ，那么需要减小  $R_{ADJ+}$  的值。表 8 给出了各种未调整时的输入误差值所对应的  $R_{ADJ-}$ 和  $R_{ADJ+}$ 调整值（将  $V_{IN_P}/V_{IN_N}$  的误差值调整到  $|15mV|$  以内）。



表 8 D.C. 耦合失调调整

未调整时失调值	电阻值
0mV 到 10mV	不需要电阻
11mV 到 30mV	20.0k $\Omega$
31mV 到 50mV	10.0k $\Omega$
51mV 到 70mV	6.81k $\Omega$
71mV 到 90mV	4.75k $\Omega$
91mV 到 110mV	3.92k $\Omega$

#### 6.4.2.2 超出范围（OR）指示

当转换得到的结果超出输出范围时，超出范围（OR）将被激活（OR<sub>p</sub> 变为高电平，而 OR<sub>n</sub> 变为低电平），只要任意或所有的总线输出超出 00h 到 FFh 的范围，此输出都会被激活。

#### 6.4.2.3 全摆幅输入范围

同所有的模数转换器一样，MXT2003 的输入范围也是由转换器的基准电压来决定的，MXT2003 的基准电压来自于内部的带隙基准。在普通模式下，FSR 引脚控制 MXT2003 的有效参考电压，当 FSR 接高电平时，模拟差分输入满量程范围为 820mV<sub>P-P</sub>，当 FSR 接低电平时，模拟差分输入满量程范围为 600mV<sub>P-P</sub>。在扩展控制模式下，满量程范围可以设置为 560mV<sub>P-P</sub> 到 840mV<sub>P-P</sub> 之间的任意值。满量程范围较高时，SNR 较好；但满量程范围较低时，具有更好的失调和 SFDR。图 14 中 LMH6555 满足所有情况下的满量程范围要求。

#### 6.4.3 输入采样时钟

MXT2003 具有差分 LVDS 时钟输入，CLK<sub>p</sub> 和 CLK<sub>n</sub>，该差分时钟信号必须采用 a.c.耦合驱动。MXT2003 在 1.5GHz 的输入时钟频率下，经过测试其性能是能够得到保证的，在电参数表中所指出的频率范围内，MXT2003 均可以工作良好。输入差分时钟信号在芯片内部具有差分终端电阻，也是在芯片内部偏置的。输入时钟信号必须通过电容耦合到时钟引脚上，如图 15 所示。

如果芯片工作的条件没有超过额定工作温度，转换器电参数表中给出的最大采样频率是可以达到的。在额定的工作温度条件下，如果采样速度过高，则有可能导致器件可靠性的下降和产品寿命的缩短。另外进行适当的温度管理对保证可靠性也很重要，见 6.4.6.2。

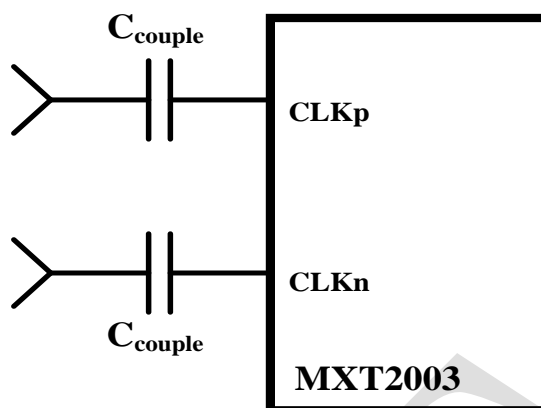


图 15 差分（LVDS）输入时钟连接

差分输入时钟线应该有  $100\Omega$  的阻抗特性，输入时钟线应该尽可能的短。MXT2003 的输入时钟在芯片内部有一个  $100\Omega$  未修调的终端电阻。

不合适的输入时钟电平会导致动态性能的降低。过高的输入时钟电平则会引起模拟输入失调电压的改变。为了避免这些问题，需要保持输入时钟电平的幅度处在转换器电学参数表中所给的范围内。

输入时钟信号的低电平和高电平持续时间会影响到 A/D 转换器的性能。MXT2003 内部的时钟调整电路能对输入时钟的占空比进行调整，在工作温度范围内保持良好的性能。如果输入时钟的占空比能够维持在 20% 到 80% 的比例范围内，ADC 的性能就能够得到保证，见转换器电参数表。

像 MXT2003 这样的高速、高性能 ADC 需要一个相位噪声和抖动都非常小的稳定输入时钟信号。ADC 的时钟抖动要求取决于转换器的精度、ADC 的输入时钟频率、输入信号幅度、以及转换器的满量程范围。为了保证 SNR 不被减小，能够允许的抖动（由所有源引起的抖动的总和）最大值为：

$$t_{J(MAX)} = (V_{INFSR}/V_{in(P-P)}) \times (1/(2^{(N+1)} \times \pi \times f_{IN}))$$

其中， $t_{J(MAX)}$  是所有抖动源的均方根值，单位为 s； $V_{in(P-P)}$  是模拟输入信号的峰峰值； $V_{INFSR}$  是 ADC 的满量程范围；N 是转换器的精度； $f_{IN}$  是转换器输入信号的最大频率，单位为 Hz。

注意，上面描述的抖动最大值包括了所有源的抖动，包括由系统提供的转换器输入时钟以及由转换器自己提供的输入信号。由于由转换器自身引入的抖动不在我们的控制之内，用户最好是尽可能将由外部所加输入时钟的抖动以及产生模拟输入信号的模拟电路带来的抖



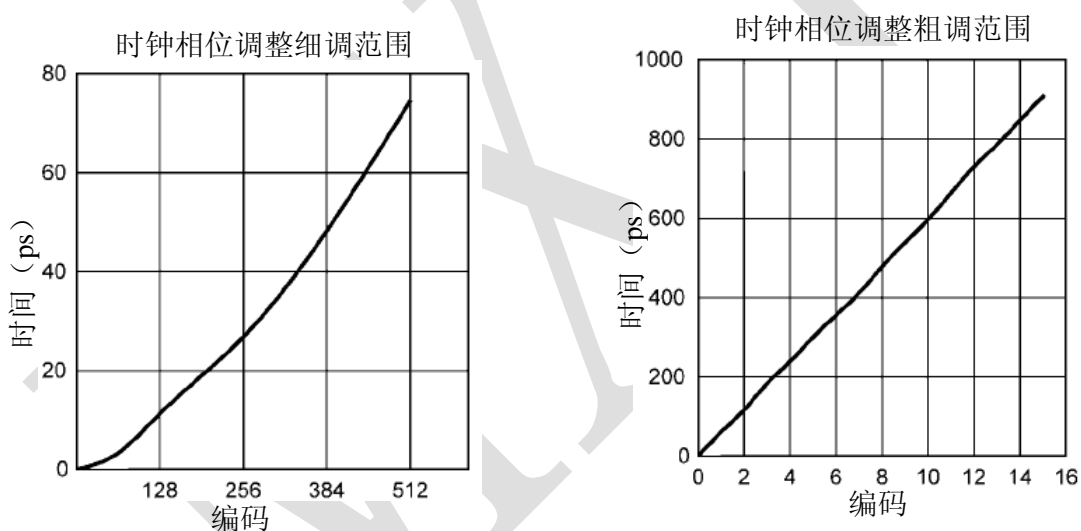
动减小到最低。

超过转换器电参数表中所示的输入时钟电平幅度将会导致失调电压的增加，这样在两个输入引脚电位一样时，转换器输出码不会是应该输出的 128 而会是其它值。

#### 6.4.3.1 采样时钟相位的手动调节

在扩展控制模式下，可以手动调节采样时钟相位以解决多个 ADC 之间由于布局差别而造成的不同步。地址为 Dh 和 Eh 的寄存器提供了扩展模式下时钟相位细调和粗调的相关信息。对于低频采样时钟的使用，在使用采样时钟相位手动调节时，（寄存器 Eh，bit-10）不被支持。

需要注意，仅仅使能相位调整（寄存器 Eh，bit-15），动态性能会下降，特别是 SFDR，因此需要故意使用很小的调整值。较大相位调整值会逐渐影响 SNR，最终影响 ENOB。因此，较好的系统设计应该使相位粗调值尽量小。



#### 6.4.4 控制引脚

MXT2003 共有六个控制引脚（不包括使用串行接口），在工作模式方面提供了一个比较宽范围的控制能力，更加方便系统应用。这些控制引脚提供了满量程输入范围的设定、校准、校准延时、输出沿同步选择、LVDS 输出电平幅度以及掉电模式等功能。

##### 6.4.4.1 满量程输入范围

在普通模式下，当引脚 FSR 接高电平时，模拟差分输入满量程范围为  $820\text{mV}_{\text{P-P}}$ ，当 FSR 接低电平时，模拟差分输入满量程范围为  $600\text{mV}_{\text{P-P}}$ 。在扩展控制模式下，满量程范围可以设置为  $560\text{mV}_{\text{P-P}}$  到  $840\text{mV}_{\text{P-P}}$  之间的任意值。详见 6.4.2。

#### 6.4.4.2 校准

为了达到额定的性能指标，MXT2003 必须要进行校准。校准在上电时自动启动，也可以在任何时候通过校准命令启动。不管是上电校准，还是上电后工作过程中的命令校准，校准的过程是一样的。不管是在上电前加载输入时钟还是在上电后加载输入时钟，校准的过程是一样的。当校准进行时，作为指示信号，CalFlag 引脚一直为高电平。需要注意的是，校准过程中，DCLK 输出不会产生任何信号，因此不推荐将 DCLK 作为系统时钟使用。

##### 6.4.4.2.1 上电校准

芯片上电之后，经过一段延时，将会进入到上电校准状态。延时时间由 CalDly 决定。

在上电时，如果 CAL 引脚接高电位，则校准不会执行。在这种情况下，只有当命令校准条件满足时，才会进入到校准模式。MXT2003 在上电时，如果 CAL 引脚为高，校准不执行，转换器性能被削弱，之后可以通过命令校准进行校准，详见 6.4.4.2.2。

内部上电校准电路产生于一个不确定的逻辑状态。如果芯片上电时，输入时钟没有启动且上电校准电路是使能的，这会使模拟电路进入掉电模式而使得功耗降到 25mW 以下。当时钟输入启动后，功耗会变为正常。

##### 6.4.4.2.2 命令校准

为了初始化一个命令校准，需要使 CAL 引脚先保持最少 80 个输入时钟周期的低电平，之后再保持最少 80 个输入时钟周期的高电平。在上电时保持 CAL 引脚为高将会阻止上电校准的执行，直到 CAL 引脚先保持最少 80 个输入时钟周期的低电平，之后再保持最少 80 个输入时钟周期的高电平之后才会进行校准。当 CAL 引脚变为高，并且保持  $t_{CAL\_H}$  个时钟周期以后，才会开始校准。在校准过程中需要监测 CalFlag 信号以确定校准是否完成。

所给出的最小的 80 个输入时钟周期是必须的，以确保校准不会被随机的噪声信号所触发。正如 6.3.1.1 中所描述的那样，为了获得更好的性能，命令校准最好在上电 20 秒或更长时间后进行，并且当工作温度变化已影响系统性能要求时，需要进行重新校准。随着结温的上升，ENOB 会发生轻微的变化，而命令校准能轻易地消除这个变化。

#### DCLK 持续输出的考虑以及合适的 CalFlag 工作模式：

在上电校准过程中，ADC 和输入终端电阻都将被校准。由于动态性能会随着结温的变化而发生轻微的变化，而一个命令校准的执行就可以将其校准过来。在命令校准过程中，ADC 和输入终端电阻也都会被校准。但是由于输入终端电阻仅仅会随温度发生有限的变化，用户可以选择通过对配置寄存器的 RTD（地址：1h，bit-13 设置为比特‘1’）进行设置来使校准过

程中的输入终端电阻校准失效，同时也能保证 DCLK 在校准期间持续地出现在输出端口。

当需要扩展模式下的孔径调整电路并进行一次命令校准时，我们推荐 RTD 设置为‘1’（地址：1h，bit-13 设置为比特‘1’）。这会允许 ADC 里的所有时钟包括 DCLK 都保持连续，并保持合适的 CalFlag 输出。孔径调整电路的控制位于扩展控制模式寄存器（地址：Dh 和 Eh）。详细可参考 6.3.4 中寄存器的编程信息。

#### 6.4.4.2.3 校准延时时间

CalDly 引脚（引脚 141）用来选择上电之后开始进行上电校准的两种不同延时时间。校准延时可以保证在校准进行之前供电电源稳定供电。如果没有延时或者延时时间不够长，可能会出现电压还没有彻底稳定之前就开始校准的现象，从而会导致校准达不到最优的结果。如果 PD 引脚在上电时为高电平，则校准延时计数器不会工作，直至 PD 变为低电平才会开始工作。因此，在上电时保持 PD 引脚为高电平可以进一步延迟上电校准开始的时间。CalDly 引脚如何设置取决于供电电源电压稳定建立的时间。需要注意的是在扩展控制模式下，校准延时是无法选择的，器件直接选择较小的延时时间。

#### 6.4.4.3 输出沿同步

DCLK 信号可以用来帮助外部电路锁存转换器的输出数据。输出数据在 DCLK 信号的上升沿或者下降沿同步，也就是说，输出数据的转换可以在 DCLK 的上升沿或下降沿发生，因此 DCLK 的每个时钟沿（上升沿或下降沿）都能锁存一个输出数据到外部接收电路。

当 OutEdge（引脚 6）接高电平时，输出数据与 DCLKp（引脚 92）的上升沿同步；当 OutEdge 接低电平时，输出数据与 DCLKp 的下降沿同步。

MXT2003 在如此高速的工作条件下，DCLK 宽度与输出数据宽度之间的微小差别就会意味着错误的数据采集。MXT2003 在高速工作的状态下，DCLK 和数据的微小误差，就会影响到数据捕获的成功与否。因此为了方便系统电路应用以及版图布局，最好利用 DCLK 时钟对转换器输出数据进行边沿采集。

#### 6.4.4.4 LVDS 输出电平控制

输出电压幅度可以通过 OutV 引脚（引脚 5）进行选择。当 OutV 为高时，输出有较强的驱动能力，但是功耗相对较大；OutV 为低时则相反。但是，低输出电压意味着较差的抗噪性。

对于较短的 LVDS 走线和噪声较低的系统来说，使 OutV 为低能获得较好的性能。如果 LVDS 走线较长或者系统噪声较大，或者两种情况都存在，那么 OutV 端有必要接到高电平。

#### 6.4.4.5 掉电特性

掉电控制引脚(PD)允许 MXT2003 整个芯片进入休眠状态,详细掉电特性描述见 6.3.1.7。

当 PD 端接高电平时, 数字数据 (p/n) 输出为高阻态。

如果 PD 端在校准进行的过程中被拉高, 那么芯片将会在校准结束后才进入掉电状态。但是, 如果在芯片上电时, PD 已经为高的话, 那么校准将不会执行, 直到 PD 变低后再执行校准。在掉电模式下, 手动命令校准是无法实现的, 也就是说, 在掉电状态下, 命令校准是完全被忽略的。

#### 6.4.5 数字输出

MXT2003 对器件内两个 ADC 的转换输出数据进行信号分离, 通过两条 LVDS 总线输出到芯片引脚 (针对 ADC 个数来说, 是两条总线, 其实总共有四条 8 比特数据输出总线)。对于芯片中的两个 ADC, 其中一个 ADC 在 CLKp 引脚信号的下降沿进行连续不断的转换, 并将转换结果输出到两条 LVDS 总线上的一条上; 另一个 ADC 在 CLKp 引脚信号的上升沿进行连续不断的转换, 并将转换结果输出到另一条 LVDS 总线上。也就是说, 每条 LVDS 总线上的输出数据率为 MXT2003 输入时钟频率的一半, 这两条总线的数据必须经过交织才能实现 3GSPS 的转换速率。

由于芯片推荐的最小输入时钟频率为 500MHz, 那么使用四条 LVDS 总线的输出数据而相对应的采样速率为 1GSPS。当只使用一条 LVDS 总线时, 那么在 500MHz 的输入时钟频率下, 采样速度可以降低至 250MSPS。

DDR (双倍数据率) 时钟模式也可以使用, 在该模式下, 输出数据在 DCLK 的上升沿和下降沿均输出, 因此可以将 DCLK 频率降低到输入时钟频率的 1/4。当器件工作在 DDR 模式下时, 寄存器地址 1h, bit8 需要设置为比特‘0’。

输出数据格式为偏移二进制码。因此, 当  $V_{INp}$  相对于  $V_{INn}$  的差值为正向全摆幅输入电压时, 输出码为全“1”; 当  $V_{INp}$  相对于  $V_{INn}$  的差值为负向全摆幅输入电压时, 输出为全“0”; 当  $V_{INp}$  和  $V_{INn}$  相等时, 输出码为 128。

#### 6.4.6 电源考虑

由于 A/D 转换器会产生许多瞬态电流, 如果没有好的放电通路, 会严重影响电源性能。在 A/D 转换器的电源引脚一英寸 (2.5cm) 内应放置一个 33uF 的电容, 并尽可能的在每一个  $V_{DDA}$  引脚处放置一个 0.1uF 的电容, 放置的位置要尽量靠近  $V_{DDA}$  引脚, 最好在 0.5cm 以内。推荐使用贴片电容, 因为其具有较低的引线电感。



$V_{DDA}$  引脚和  $V_{DDD}$  引脚之间应相互隔离，以避免数字噪声耦合到 ADC 的任何一部分模拟电路上。当这些引脚共用一个电压源时，推荐在两条电源线之间加入铁氧体扼流圈，例如 JW Miller FB20009-3B。

MXT2003 和其它高速转换器一样，需要在设计和布局中仔细考虑以提高电源噪声抑制能力。因此，为系统中消耗功率的数字电路供电的电源，不能再为 MXT2003 供电。若无法为 MXT2003 提供专用的电源，可以与系统中的其他模拟电路共用电源。

#### 6.4.6.1 电源电压

MXT2003 的额定工作电源电压设计为  $1.9V \pm 0.1V$ 。非常重要的一点是转换器可以在略高的电源电压下工作，但是这可能会减少产品的寿命。

任何引脚都不能超过电源电压或者低于地电压 150mV，包括瞬态值在内。当电源上电或关闭时，这可能会带来问题，这需要确保 MXT2003 中电源电压驱动的输出引脚、模拟或数字引脚，其上电速度不能超过 MXT2003 电源引脚的上电速度。

电源电压需要在绝对最大额定值以内，即使是在电源上电和掉电期间。供电电源若在电源上电或者关闭时产生毛刺，将会毁坏 MXT2003。图 16 中的电路提供了电源超压保护。

很多线性稳压器除非使用最小负载，否则会在上电时产生输出尖峰。在有源器件的电源电压到达几百毫伏之前，它吸取的电流都很小。若不采用最小的电源负载，由之产生的开启毛刺能够将 MXT2003 毁坏。在图 16 中，稳压器输出端的 100Ω 电阻，可以在上电时提供一个最小的输出电流，以确保在上电时没有开启毛刺。

在图 16 的电路图中，如果输入电压在 4V-5V 之间时，线性稳压器 LM317 是满足需求的。如果输入电压为 3.3V 时，推荐采用线性稳压器 LM1086。

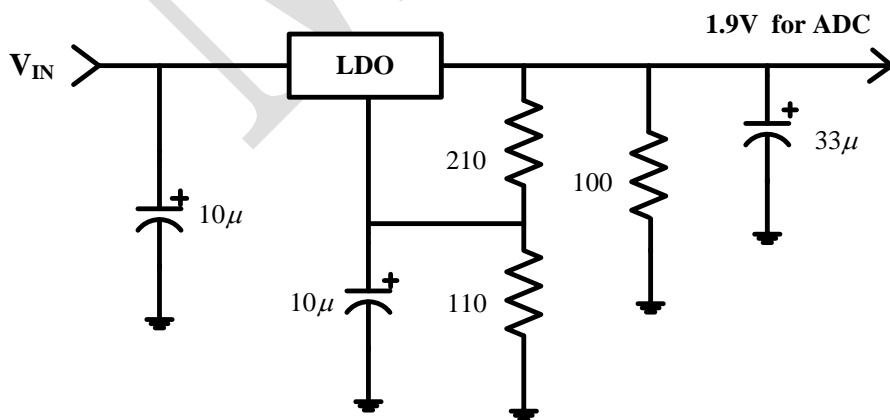


图 16 无毛刺供电电源

输出驱动部分需要供电电压  $V_{DDD}$ ，在工作条件说明中对其范围有详细定义，其值不应超过  $V_{DDA}$  的电源电压，且绝不允许超过 ( $V_{DDA} + 100\text{mV}$ )。

如果转换器没有输入时钟信号，此时器件产生的电流低于 200mA。这是由于 MXT2003 需要通过时钟逻辑进行复位，确定其初始状态。如果复位逻辑在“开始”状态时启动，这会关闭大多数模拟电路的电源，此时产生的电流小于 100mA。由于在没有输入时钟信号时，并不是所有的 ADC 都处于电源关闭状态，此时器件产生的电流要大于电源关闭时的电流。当时钟信号建立后，器件的电流将会处于正常状态。

#### 6.4.6.2 热管理

MXT2003 在功耗相对很低的水平下，即能具有很好的速度与性能表现。但其产生的功耗仍较高，需要考虑热管理。基于可靠性要求，芯片温度不应超过  $150^{\circ}\text{C}$ 。也就是说， $T_A$ (环境温度)加上 ADC 的功耗乘以  $\theta_{JA}$ (连接环境热电阻)不能够超过  $150^{\circ}\text{C}$ 。如果环境温度不超过  $85^{\circ}\text{C}$  且封装外底部焊接点与 PCB 板上足够大的铜区域热连接，将不会超过上述限制。

为了将器件管壳裸露的焊接点连接到 PCB 板上，一般需要注意以下几点建议。这些建议需要在 PCB 板及程序开发之前仔细考虑。MXT2003 在芯片背部具有裸露的焊接点，提供了基本的散热通路以及与 PCB 板之间优秀的引线连接。对芯片引脚与 PCB 之间连接的焊盘设计，与传统的 LQFP 管壳设计一致，但是裸露的焊接点必须都焊接到 PCB 板上，以尽可能的散去管壳内的热量，同时也保证最好的产品参数性能。

为了最大限度的消散掉管壳上的热量，需要在 PCB 板上设计与器件热沉大小相一致的热焊盘。器件裸露的焊接点必须焊接到该热焊盘上，以确保充分的热传导。该热焊盘在电学上应该接地，并且与固定到位的管壳引脚焊接点保持至少 0.5 mm 的距离。

#### 6.4.7 版图和地线

合理的地线和所有信号合理的路径对确保转换器精确转换非常重要。不应将模拟和数字区域的地线平面分割，而应采用一个完整的单端地线平面。

由于高频分量主要由数字开关的瞬变组成，由趋肤效应可知，整个地线平面的铜重量对由逻辑变化产生的噪声影响很小。整个地的表面面积比整个地的体积更重要。由于数字电路的噪声比较大，模拟电路比较敏感，因此在数字电路和模拟电路之间的耦合会导致系统性能变差，而且看起来很难隔离和修补，解决的办法是将模拟电路与数字电路完全分离开来。

高功耗数字电路部分不应该位于或靠近任何线性电路或电源跟踪电路或为模拟或混合信号部分服务的平面区域，因为作为结果的共模回流路径会导致模拟输入‘地’的波动，而返回



给 ADC，导致在转换结果中产生大量噪声。

一般来说，我们假设模拟走线和数字走线相互交叉  $90^\circ$ ，以避免数字噪声耦合到模拟路径上。但是在高频系统中，需要避免将模拟走线和数字走线完全交叉。输入时钟走线应该与所有数字和模拟走线相隔离，一般的  $90^\circ$  交叉也应该避免，因为在高频下即使很小的耦合也会产生一些问题。若想要在高频下实现最好的性能，信号尽量走直线。

模拟输入信号路径应同噪声信号路径之间隔离，以避免将杂散信号耦合到输入端，在 MXT2003 采用低电平驱动时，这点显得尤为重要。转换器的输入和地之间的任何外部组件（例如滤波电容）需要连接到模拟地平面上一个非常干净的点。所有的模拟电路（输入放大器，滤波器等）需要与数字电路部分之间相互隔离。

#### 6.4.8 动态性能

MXT2003 经过交流测试，转换器的动态性能是有保证的。为了满足说明书中的性能指标及减小抖动噪声，驱动时钟输入的时钟源必须具有低的抖动。所允许的抖动见 6.4.3 部分。

应保证 ADC 输入时钟的路径尽量短，这样可以尽量保证时钟信号线远离其它信号，并可以把它作为一条传输线。其它信号会导致时钟信号的抖动。如果不做好时钟信号的隔离，时钟信号也会在模拟信号路径上引入噪声。

为了得到最好的动态性能，管壳背部裸露的焊接点需要与地有一个良好的连接，这是因为从芯片到地的阻抗比从管壳引脚到地的阻抗低。

#### 6.4.9 串行接口的使用

MXT2003 可以工作在非扩展控制模式和扩展控制模式下。表 9 和表 10 分别描述了两种模式下各控制引脚的功能。

##### 6.4.9.1 非扩展模式工作

非扩展控制模式意味着串行接口不可用，所有的可控功能均由一系列引脚来控制。也就是说，输出电压电平，满量程范围和输出沿选择都由相应的引脚来设置。引脚 16 接高电平或低电平时，MXT2003 工作在非扩展控制模式下，而使其浮空时，MXT2003 工作在扩展控制模式下。表 9 为 MXT2003 在非扩展模式下的引脚功能。

表 9 非扩展模式工作（引脚 16 为高或低）

引脚	低	高	浮空
5	$0.52V_{P-P}$ 输出	$0.68V_{P-P}$ 输出	n/a
6	输出沿=下降沿	输出沿=上升沿	DDR

16	600mV <sub>P-P</sub> 输入范围	820mV <sub>P-P</sub> 输入范围	扩展控制模式
141	较短的校准延迟时间	较长的校准延迟时间	串行接口使能

在非扩展模式下，引脚 5 既可以为高也可以为低，引脚 16 一定不能浮空。详见 6.3.2 正常/扩展模式。

在非扩展模式下，引脚 6 可以为高，可以为低，也可以浮空；引脚 6 为高或低定义输出数据传输沿，详见 6.4.4.3 输出沿同步；当此引脚浮空时，输出时钟（DCLK）为 DDR 模式（见 6.3.1.5.3 双倍数据率），由于 DCLK 为双沿输出数据，所以输出沿同步是不相关的。

在非扩展模式下，引脚 141 设置上电后的校准延迟时间。浮空时，此引脚作为串行接口使能，上电后的校准延迟时间为较短的校准延迟时间。

表 10 扩展控制模式工作（引脚 16 浮空）

引脚	功能
5	SCLK（串行时钟）
6	SDIN（串行数据）
141	SCS（串行接口片选）

#### 6.4.10 使用中常见的错误

**使用外部扩展控制模式时对所有寄存器地址的写失败** 当使用串行接口时，在校准和 ADC 的使用之前，所有的六个地址位置需要使用默认值或所需要的设计值至少写入一遍。

**输入驱动（模拟或数字）超出电源范围** 为了器件可靠性，不要将输入超过地或电源 150mV。一旦有输入端超过此限制电压，不仅会导致器件故障或工作不稳定，还会削弱器件的可靠性。对于高速数字电路，产生低于地电平的负脉冲信号很常见。控制高速传输线的阻抗并以其特征阻抗作为传输线的终端阻抗可以控制负脉冲信号。

需要注意不要对 MXT2003 输入过度驱动，否则会导致转换结果的不准确甚至导致器件毁坏。

**d.c.耦合模式下不正确的模拟输入共模电压** 如 6.3.1.4 和 6.4.2 所述，输入共模电压必须在  $V_{CM}$  输出电压的  $\pm 50mV$  以内，并且当温度变化时输入共模电压也需要很好的跟随  $V_{CM}$ 。如果共模输入电压与  $V_{CM}$  电压之差超过 50mV，会导致失调性能降低。

**使用不适当的放大器驱动模拟输入** 选择高频放大器时需要注意，因为一般高频放大器的失调比 MXT2003 的失调还大，会导致整体系统性能下降。

**驱动  $V_{REF}$  引脚改变了参考电压** 如 6.4.1 部分所述，参考电压可以用来决定两个满量程输入范围（600mV<sub>P-P</sub> 和 820mV<sub>P-P</sub>）中的一个。过度驱动这个引脚不会改变满量程的值，但通过



将  $V_{REF}$  连接到  $V_{DDA}$  上，可将 LVDS 的共模电压从 0.8V 改变到 1.15V。

**使用过高电平驱动时钟输入** 转换器的时钟输入电平不应超过在工作额定值，否则输入失调会变化。

**不合适的时钟输入电平** 如 6.4.3 部分所述，时钟电平不够高会导致转换器的性能变差，过高的时钟电平则会引入输入失调。

**使用抖动较高的时钟源，使用较长的时钟信号路径，或有其它信号耦合到时钟信号** 这会引起内部间隔的变化，引起过多的输出噪声，减小信噪比。

**没有提供有效的散热** 如 6.4.6.2 部分所述，提供合适的散热对保证器件可靠性非常重要。可以通过气流或在 PCB 板上嵌入使用简单的散热器。为保证性能，器件背面的焊接点需要接地。

## 七、转换器电参数

推荐工作条件：电源电压1.9V， $V_{DDA}=V_{DDD}=1.9V$ ， $OutV=1.9V$ ， $V_{IN-FSR}=820mV$ (差分)， $C_L=10pF$ ,时钟输入信号为差分交流耦合正弦信号，时钟信号为频率 $f_{CLK}=1.5GHz$ 、幅度 $0.5V_{P-P}$ 、占空比为50%的正弦波， $V_{REF}$ 浮空，非外部扩展模式，SDR模式， $R_{EXT}=3300\Omega\pm0.1\%$ ，模拟信号输入阻抗=100 $\Omega$ (校准后)，先对电源上电，然后加入时钟信号，时钟信号具有较低的抖动和较高的PSRR。除非特别声明，芯片默认温度为25℃，典型性能指标是在理论工作电压和 $T_A=25^\circ C$ 的条件下测试得到的，标黑体的参数表示在-40℃~85℃温度范围下的限定值。

表11 转换器电参数表

参数	符号	条件 (注1,2,3)	典型值	限定值	单位 (Limits)
<b>转换器静态参数</b>					
积分非线性	INL	直流耦合，1MHz正弦输入	$\pm 1.0$		LSB(max)
微分非线性	DNL	直流耦合，1MHz 正弦输入	$\pm 0.5$		LSB(max)
无误码精度				<b>8</b>	Bits
失调误差	$V_{OFF}$		-0.50		LSB
输入失调调整范围	$V_{OFF-ADJ}$	扩展控制模式	$\pm 45$		mV
满量程调整范围	FS_ADJ	扩展控制模式	$\pm 20$	<b><math>\pm 15</math></b>	%FS
<b>转换器动态参数 (注 6)</b>					
全功率带宽	FPBW		2.7		GHz
误码率			$10^{-18}$		Errors/ Sample
增益平坦度		0.0 到-1.0dBFS	50 to 850		MHz

有效比特数	ENOB	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	6.7 7.0		Bits(min) Bits (min)
信号 / 噪声 谐波比	SINAD	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	42.1 43.9		dB(min) dB(min)
信噪比	SNR	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	44.7 46.4		dB(max) dB(max)
总谐波失真	THD	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	-57 -56		dB(max) dB(max)
二次谐波失真	2nd Harm	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	-68 -66		dB dB
三次谐波失真	3rd Harm	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	-64 -58		dB dB
无杂散动态范 围	SFDR	$f_{IN} = 373 \text{ MHz}, VIN = FSR - 0.5\text{dB}$ $f_{IN} = 748 \text{ MHz}, VIN = FSR - 0.5\text{dB}$	57 54.5		dB dB
模拟输入及参考源参数					
全摆幅模拟 差分信号 输入范围	VIN	引脚16为低	600	550	mV <sub>P-P</sub> (min)
				650	mV <sub>P-P</sub> (max)
		引脚16为高	820	770	mV <sub>P-P</sub> (min)
				870	mV <sub>P-P</sub> (max)
模拟输入共模 电平	V <sub>CM1</sub>		V <sub>CM</sub>	V <sub>CM</sub> - 50 V <sub>CM</sub> + 50	mV(min)  mV(max)

差分输入电阻	R <sub>IN</sub>		100	95 105	Ω(min) Ω(max)
模拟输出参数					
共模输出电压	V <sub>CM</sub>	I <sub>CM</sub> = ±100 μA	1.26	0.95 1.45	V(min) V(max)
设置直流耦合	V <sub>CM<sub>L</sub></sub>	V <sub>DDA</sub> =1.8V	0.60		V
V <sub>CM</sub> 输入阈值	LVL	V <sub>DDA</sub> =2.0V	0.66		V
V <sub>CM</sub> 温度系数	TC V <sub>CM</sub>	T <sub>A</sub> = -40℃ to +85℃	118		ppm/℃
V <sub>CM</sub> 最大负载电容	C <sub>LOAD</sub> V <sub>CM</sub>			80	pF
带隙输出电压	V <sub>REF</sub>	I <sub>REF</sub> = ±100 μA	1.26	1.20 1.38	V(min) V(max)
V <sub>REF</sub> 温度系数	TC V <sub>REF</sub>	T <sub>A</sub> = -40℃ to +85℃ I <sub>REF</sub> = ±100 μA	35		ppm/℃
V <sub>REF</sub> 最大负载电容	C <sub>LOAD</sub> V <sub>REF</sub>			80	pF
LVDS 输入参数					
差分时钟 输入电平	V <sub>ID</sub>	正弦时钟	0.6	0.4 2.0	V <sub>P-P</sub> (min) V <sub>P-P</sub> (max)
		方波时钟	0.6	0.4 2.0	V <sub>P-P</sub> (min) V <sub>P-P</sub> (max)
输入电流	I <sub>I</sub>	V <sub>IN</sub> =0 or V <sub>IN</sub> =V <sub>DDA</sub>	±1		μA
输入电容	C <sub>IN</sub>	差分	0.02		pF
		单个输入到地	1.5		pF
LVDS 输出参数					
LVDS 差分 输出	V <sub>OD</sub>	差分测量, OutV = V <sub>DDA</sub> , V <sub>REF</sub> 浮空(注5)	680	470 920	mV <sub>P-P</sub> (min) mV <sub>P-P</sub> (max)



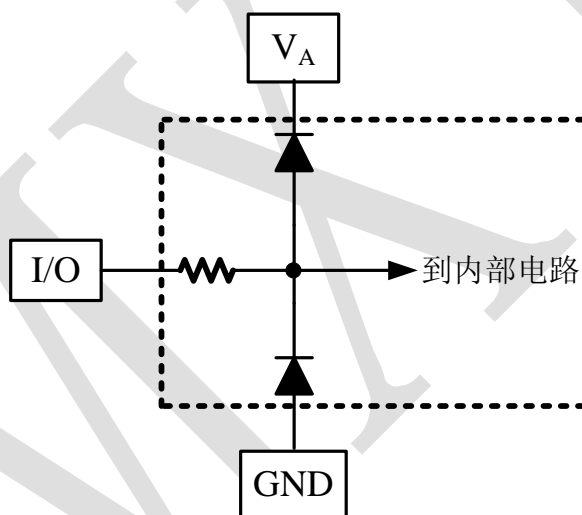
		差分测量, OutV = AGND, V <sub>REF</sub> 浮空(注5)	520	<b>380</b>	mV <sub>P-P</sub> (min)
				<b>720</b>	mV <sub>P-P</sub> (max)
不同逻辑电平 下 VOD 的变 化	$\Delta V_{O\text{DIFF}}$		$\pm 1$		mV
输出偏移电压	V <sub>OS</sub>	V <sub>REF</sub> 浮空	800		mV
输出偏移电压	V <sub>OS</sub>	V <sub>REF</sub> =V <sub>DDA</sub>	1150		mV
不同逻辑电平 下 V <sub>OS</sub> 的失调	$\Delta V_{OS}$		$\pm 1$		mV
输出短路电流	I <sub>OS</sub>	Output+和Output-连接到0.8V	$\pm 4$		mA
差分输出阻抗	Z <sub>O</sub>		100		Ohms
<b>LVC MOS 输入参数</b>					
输入逻辑低电 平	V <sub>IL</sub>			<b>0.15</b> × V <sub>DDA</sub>	V(max)
输入逻辑高电 平	V <sub>IH</sub>			<b>0.85</b> × V <sub>DDA</sub>	V(min)
<b>LVC MOS 输出参数</b>					
输出高电平	V <sub>OH</sub>	I <sub>OH</sub> = -400 $\mu$ A	1.65	<b>1.5</b>	V
输出低电平	V <sub>OL</sub>	I <sub>OH</sub> = 400 $\mu$ A	0.15	<b>0.3</b>	V
<b>电源特性参数</b>					
模拟电源电流	I <sub>DDA</sub>	PD = Low	734	<b>860</b>	mA
驱动电源电流	I <sub>DDD</sub>	PD = Low	300	<b>450</b>	mA
功耗	P <sub>D</sub>	PD = Low	1.9	<b>2.5</b>	W
		PD = High	25		mW
直流耦合 电源抑制比	PSRR1	V <sub>DDA</sub> 从1.8V到2.0V变化的同时改变 偏移电压	70		dB

交流耦合 电源抑制比	PSRR2	248MHz, V <sub>DDA</sub> 上重叠100 mV <sub>P-P</sub>	50		dB
交流电学参数—采样时钟					
最大输入 时钟频率	f <sub>CLK1</sub>	采样率是输入时钟的两倍		1.5	GHz（min）
最小输入 时钟频率	f <sub>CLK2</sub>	采样率是输入时钟的两倍	500		MHz
输入时钟 占空比	t <sub>CYC</sub>	500MHz≤输入时钟频率≤1.5GHz （注 4）	50	20 80	%(min) %(max)
输入时钟 低电平时间	T <sub>LC</sub>	（注 4）	333	133	ps(min)
输入时钟 高电平时间	T <sub>HC</sub>	（注 4）	333	133	ps(min)
DCLK 占空比		（注 4）	50	45 55	%(min) %(max)
采样（孔径） 延时	T <sub>AD</sub>		1.4		ns
孔径抖动	T <sub>AJ</sub>		0.55		ps rms
输入时钟到 输出数据延时	T <sub>OD</sub>	输入时钟转变的 50% 处 到数据转变的 50% 处	3.7		ns
流水延迟 （注4）		Dd 输出		13	输入时钟 周期
		Db 输出		14	
		Dc 输出		13.5	
		Da 输出		14.5	
交流电学参数—输出时钟和数据					
上升时间 （差分）	t <sub>LHT</sub>	10% 到 90%	150		ps

下降时间 (差分)	$t_{HLT}$	10%到 90%	150		ps
输出数据与输出时钟的偏移	$t_{SKEWO}$	DCLK 转变的 50%处到数据转变的 50%处, SDR 和 DDR 模式, 0°DCLK	$\pm 50$		ps(max)
数据到 DCLK 的建立时间	$t_{OSU}$		570		ps
DCLK 到数据的保持时间	$t_{OH}$		555		ps
交流电学参数—串行接口时钟					
串行时钟频率	$f_{SCLK}$	(注 4)	67		MHz
数据到串行时钟的建立时间	$t_{SS}$	(注 4)	2.5		ns(min)
数据到串行时钟的保持时间	$t_{HS}$	(注 4)	1		ns(min)
串行时钟 低电平时间				6	ns(min)
串行时钟 高电平时间				6	ns(min)
交流电学参数—普通信号					
RESET(p/n) 的建立时间	$t_{SR}$	(注 4)	90		
RESET(p/n) 的保持时间	$t_{HR}$	(注 4)	30		
RESET(p/n) 脉冲宽度	$t_{PWR}$	(注 4)		4	CLK $\pm$ Cyc. (min)
PD 为低到额定的转换精度 (唤醒时间)	$t_{WU}$	(注 4)	1		$\mu$ s

校准周期时间	$t_{CAL}$		$1.4 \times 10^5$		CLK $\pm$ Cyc.
CAL 引脚 低电平时间	$t_{CAL\_L}$	(注 4)		80	CLK $\pm$ Cyc. (min)
CAL 引脚 高低电平时间	$t_{CAL\_H}$	(注 4)		80	CLK $\pm$ Cyc. (min)
校准延时 (CalDly=Low)	$t_{CalDly}$	(注 4)		$2^{25}$	CLK $\pm$ Cyc. (min)
校准延时 (CalDly=High)		(注 4)		$2^{31}$	CLK $\pm$ Cyc. (max)

注 1: 模拟输入由以下电路所保护。若输入电压幅度超过了绝对最大额定值将可能损坏器件。



注 2: 为保证精度,  $V_{DDA}$  和  $V_{DDD}$  需要良好旁路。每一个电源引脚都必须使用单独的旁路电容进行去耦。

另外, 为了达到额定的性能, 芯片背部的焊接点需要良好接地。

注 3: 典型值在  $T_A=25^\circ\text{C}$  条件下, 并代表大部分参数处于标准值。

注 4: 该参数由设计保证, 在生产过程中未经测试。

注 5: 将  $V_{REF}$  接到电源电压时, 将使输出偏移电压( $V_{OS}$ )增加 400mV(典型), 也将使 LVDS 的输出电压( $V_{OD}$ )提高 40mV。

注 6: 输入信号频率  $f_{IN}=1498\text{MHz}$  下的动态性能参数仍在测试中。

## 八、绝对最大值

电源电压 ( $V_{DDA}$ , $V_{DDD}$ )	2.2 V
电源电压差 ( $V_{DDA}-V_{DDD}$ )	0 V~ -100 mV
任意引脚电压 (除 $V_{INP}$ , $V_{INN}$ 外)	-0.15 V~ ( $V_{DDA}+0.15$ V)
$V_{INP}$ , $V_{INN}$ 电压 (带共模电平)	-0.15 V~ 2.5 V
地电压差 AGND-DGND	0 V~ 100 mV
任意引脚输入电流	$\pm 25$ mA
封装输入电流	$\pm 50$ mA
功耗 ( $T_A \leq 85^\circ\text{C}$ )	2.5 W
ESD(人体模型)	2500 V
ESD(机器模型)	250 V
储存温度	-65 $^\circ\text{C}$ ~ +150 $^\circ\text{C}$

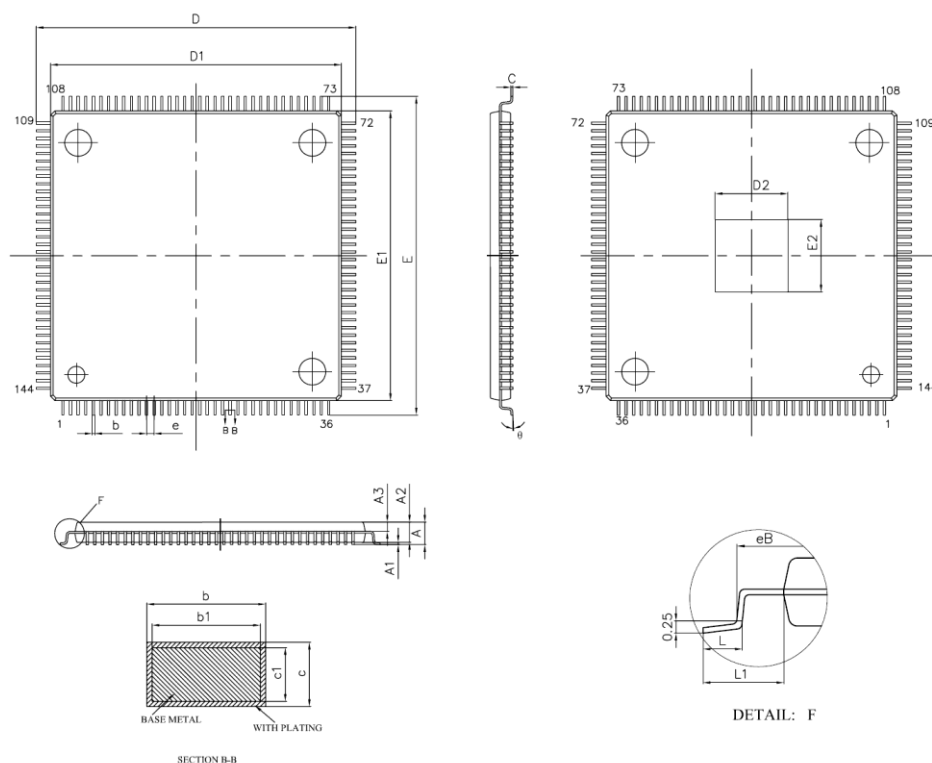
## 九、推荐工作范围值

环境温度范围	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$
电源电压 ( $V_{DDA}$ )	+1.8V~ +2.0V
驱动电源电压 ( $V_{DDD}$ )	+1.8V~ $V_{DDA}$
模拟输入共模电压	$V_{CM} \pm 50\text{mV}$
$V_{INP}$ , $V_{INN}$ 电压范围 (带共模电平)	200mV~ $V_{DDA}$
地电压差 ( AGND-DGND )	0V
CLK 引脚电压范围	0V~ $V_{DDA}$
差分 CLK 幅度	0.4V <sub>P-P</sub> ~2.0V <sub>P-P</sub>

## 十、典型应用描述 (见附录 2)

## 十一、封装说明

器件采用 144 引线 Q 型塑料四面引线扁平封装, 外壳外形及尺寸如图 17 所示。



单位: 毫米

符号	最小	公称	最大
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.54	0.64	0.74
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.14
D	21.80	22.00	22.20
D1	19.80	20.00	20.20
D2	5.00BSC		
E	21.80	22.00	22.20
E1	19.80	20.00	20.20
E2	5.00BSC		





e	0.50BSC		
eB	21.15	—	21.40
L	0.45	—	0.75
L1	1.00BSC		
θ	0	—	7°

图 17 外壳外形及尺寸示意图

## 附录 1

引脚定义见表 12:

表 12 引脚符号及属性

引脚序号	符号	属性	引脚序号	符号	属性
1	NC	浮空	23	AGND	地
2	NC	浮空	24	RESETp	输入
3	AGND	地	25	RESETn	输入
4	V <sub>DDA</sub>	电源	26	AGND	地
5	OUTV/SCLK	输入	27	V <sub>DDA</sub>	电源
6	OutEdge/DDR/ SDIN	输入	28	PD	输入
7	V <sub>DDA</sub>	电源	29	AGND	地
8	AGND	地	30	V <sub>DDA</sub>	电源
9	V <sub>CM</sub>	输入	31	NC	浮空
10	V <sub>DDA</sub>	电源	32	CAL	输入
11	AGND	地	33	V <sub>REF</sub>	输出
12	CLKp	输入	34	R <sub>EXT</sub>	输入
13	CLKn	输入	35	NC	浮空
14	AGND	地	36	NC	浮空
15	V <sub>DDA</sub>	电源	37	NC	浮空
16	FSR/ECE	输入	38	NC	浮空
17	RESET	输入	39	V <sub>DDA</sub>	电源
18	V <sub>DDA</sub>	电源	40	Tdiode_p	输出
19	V <sub>DDA</sub>	电源	41	Tdiode_n	输出
20	VIN <sub>P</sub>	输入	42	Da0p	输出
21	VIN <sub>N</sub>	输入	43	Da0n	输出
22	V <sub>DDA</sub>	电源	44	Da1p	输出

表 12 (续)

引脚序号	符号	属性	引脚序号	符号	属性
45	Da1n	输出	70	DGND	地
46	V <sub>DDD</sub>	电源	71	NC	浮空
47	NC	浮空	72	NC	浮空
48	DGND	地	73	NC	浮空
49	Da2p	输出	74	NC	浮空
50	Da2n	输出	75	Dc2p	输出
51	Da3p	输出	76	Dc2n	输出
52	Da3n	输出	77	Dc3p	输出
53	Da4p	输出	78	Dc3n	输出
54	Da4n	输出	79	Dc4p	输出
55	Da5p	输出	80	Dc4n	输出
56	Da5n	输出	81	Dc5p	输出
57	V <sub>DDD</sub>	电源	82	Dc5n	输出
58	NC	浮空	83	V <sub>DDD</sub>	电源
59	DGND	地	84	DGND	地
60	Da6p	输出	85	Dc6p	输出
61	Da6n	输出	86	Dc6n	输出
62	Da7p	输出	87	Dc7p	输出
63	Da7n	输出	88	Dc7n	输出
64	Dc0p	输出	89	ORp	输出
65	Dc0n	输出	90	ORn	输出
66	Dc1p	输出	91	DCLKn	输出
67	Dc1n	输出	92	DCLKp	输出
68	V <sub>DDD</sub>	电源	93	Dd7n	输出
69	NC	浮空	94	Dd7p	输出

表 12 (续)

引脚序号	符号	属性	引脚序号	符号	属性
95	Dd6n	输出	120	Db6n	输出
96	Dd6p	输出	121	Db6p	输出
97	DGND	地	122	DGND	地
98	V <sub>DDD</sub>	电源	123	NC	浮空
99	Dd5n	输出	124	V <sub>DDD</sub>	电源
100	Dd5p	输出	125	Db5n	输出
101	Dd4n	输出	126	Db5p	输出
102	Dd4p	输出	127	Db4n	输出
103	Dd3n	输出	128	Db4p	输出
104	Dd3p	输出	129	Db3n	输出
105	Dd2n	输出	130	Db3p	输出
106	Dd2p	输出	131	Db2n	输出
107	NC	浮空	132	Db2p	输出
108	NC	浮空	133	DGND	地
109	NC	浮空	134	NC	浮空
110	NC	浮空	135	V <sub>DDD</sub>	电源
111	DGND	地	136	Db1n	输出
112	NC	浮空	137	Db1p	输出
113	V <sub>DDD</sub>	电源	138	Db0n	输出
114	Dd1n	输出	139	Db0p	输出
115	Dd1p	输出	140	CalFlag	输出
116	Dd0n	输出	141	CalDly/SCS	输入
117	Dd0p	输出	142	V <sub>DDA</sub>	电源
118	Db7n	输出	143	NC	浮空
119	Db7p	输出	144	NC	浮空

## 附录 2

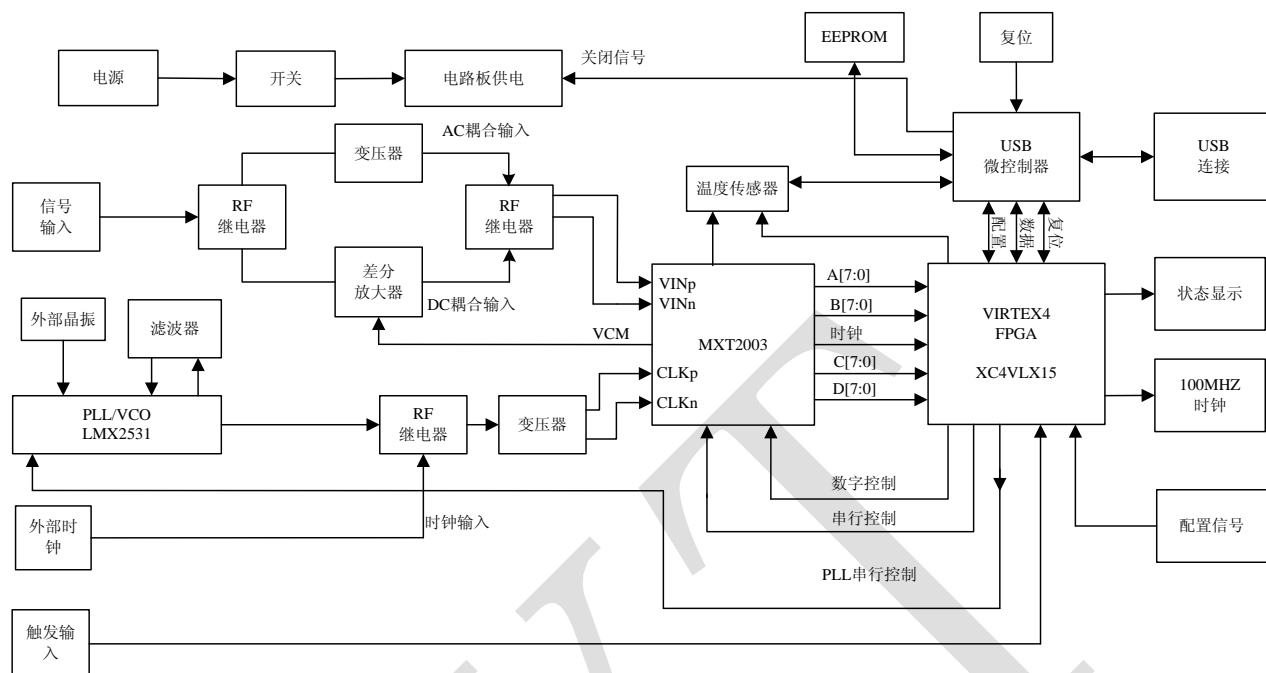


图 18 典型应用电路

MXT2003 芯片的一种典型应用系统如图 18 所示。该系统只需要三个外部连接：电源电压连接、与 PC 机的 USB 接口连接和一个信号源。该系统的电路板中包含了一个板上的时钟产生器，若希望采用不同的采样率时，也可以采用外部时钟。MXT2003 的输出端还与 Xilinx Virtex4 FPGA 相连接，以采集和存储 MXT2003 的数据。

### A2.1 系统概述

该系统的主要特征如下：

表 13 MXT2003 应用系统概述

电路板尺寸	168mm×100mm
电源	+12V, 800mA
时钟频率范围	500MHz-1.5GHz
模拟输入信号频率（AC 耦合）	30MHz-1.5GHz
模拟输入电压范围	600mV-820mV
模拟输入阻抗	50Ω

### A2.1.1 FPGA 概述

电路板采用了一个 Xilinx XC4VLX15 Virtex 4 100 引脚的 FPGA，FPGA 用来采集和存储来自 ADC 的数据、测量时钟频率以及通过与 PC 相连的微控制器上载数据。

同时，通过对于电路板的修改，也可以利用一个 FLASH ROM 对于 FPGA 进行配置。从而，使整个系统可以在没有 USB 微控制器的条件下运行。

### A2.1.2 微控制器

采用了 CY7C68013A 微控制器对 USB 接口和系统的电路板硬件进行控制。该控制器采用 24MHz 的晶振进行驱动。

### A2.1.3 存储器构成

采用一个 2K 的 EEPROM (24C02 或相同类型)，将 I<sup>2</sup>C 总线与微控制器和 USB 配置数据相连。

### A2.1.4 电源

该系统提供了一个电源接口，可以将外部的 8V~12V 范围内的电压作为电路板的电源，如图 19 所示。其中，内部的各个子模块的供电电压为：USB 微控制器为 3.3V，FPGA 的 LVC MOS 和 I/O 为 3.3V，FPGA 的 AUX 和 LVDS25 I/O 为 2.5V，MXT2003 的 V<sub>DDA</sub> 和 V<sub>DDD</sub> 为 1.9V，FPGA 的内核部分为 1.2V。

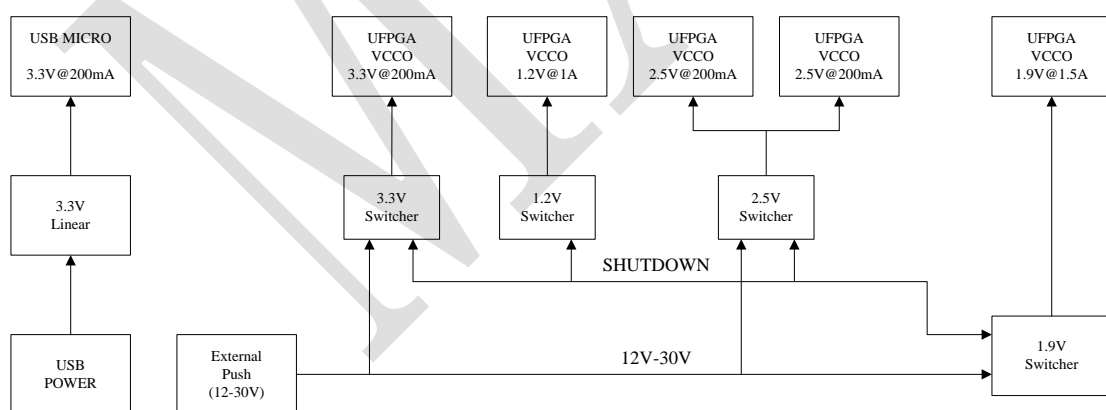


图 19 系统电源连接图

通常还在该系统的电源通路前端采用一个发光二极管，表明系统当前的供电状态。在电路板的前端采用了一个开关，使得该系统很容易冷启动或者重新启动。USB 微控制器控制关闭引脚，能够最小化待机状态下的功耗。





### A2.1.5 时钟

USB 微控制器通过 24MHz 的晶振提供时钟。MXT2003 的时钟为 PLL 和 VCO 控制，它们可以提供极低抖动的 1.5GHz 时钟。FPGA 通过串行接口，从而控制 PLL 的工作状态。

FPGA 应该由下面两个源提供时钟：

1. 当用以捕获 MXT2003 的数据时，FPGA 的时钟与 MXT2003 同步。
2. 当测算输入时钟频率以及向 USB 微控制器上载捕获的数据时，通过片上的 100MHz 晶振提供时钟。

### A2.1.6 复位信号

USB 微控制器采用一个简单的 RC 复位电路，通过按钮可实现复位功能。FPGA 的复位功能通过 USB 微控制器实现。

### A2.1.7 热管理

该系统还提供了热管理功能。采用一个双路温度传感器与 MXT2003 和 Virtex 4 FPGA 的温度二极管相连，并通过两路串行总线与 USB 微控制器之间传输信号。其主要功能是监测 MXT2003 的温度，以决定其是否需要进入校准周期。

### A2.1.8 模拟输入

在该系统的前端有一个 SMA 连接器，对 MXT2003 输入模拟信号。信号输入既可输入 AC 耦合信号，也可输入 DC 耦合信号。通过片上的微型变压器，可将输入的单端信号转换为差分信号。同时采用一个 LMH6555 差分运算放大器（LMV321\_SOT23 对其提供偏置）对于输入信号进行 DC 耦合。该系统的电路板上采用了 RF 继电器，以控制 AC 耦合信号通路和 DC 耦合信号通路之中的转换。

### A2.1.9 触发输入

该系统还接受触发信号，通过电路板前端的 SMA 连接器可输入出发信号，并经过施密特触发器与 FPGA 相连。该输入的功能并未定义，可由用户进行定义所需要的 FPGA 功能。

### A2.1.10 调试

采用了一个 Tek 逻辑分析仪，和 FPGA 的测试端相连。在系统调试时，用以检测捕获的数据和测试信号。同时，还采用了一个 JTAG，使得 FPGA 以实现更多功能。

## A2.2 功能描述

### A2.2.1 输入电路

通过 50Ω 的输入电阻，用以接受低噪声正弦波信号。为了精确的评价该转换器的动态性

能，模拟输入信号需通过高质量的带通滤波器来降低失真。

系统的输入信号可以采用两个单端模拟输入信号，通过片上的器件可以将其转换成差分信号。相连的信号变压器被当作不平衡变压器，实现单端信号到差分信号的转换。将示波器作为测试设备，在采集数据时可以将其连接在信号路径上的任何位置。

触发输入信号传输给 FPGA，使用户通过外部的触发信号改变系统内的电流，触发输入的具体功能可以由用户通过 FPGA 固件自行定义。

#### A2.2.2 参考基准

MXT2003 的参考基准由片上电路提供，且不可被校准。但是，满量程（差分）范围可由用户通过串行接口进行调整。

#### A2.2.3 时钟

MXT2003 的时钟由板上提供，面板前端的“CLOCK”标志处有一个 SMA 连接器相连，可提供外部的时钟信号以供选择。不平衡变压器 T1 将单端时钟源信号转换为差分信号，以驱动 ADC 的时钟引脚。

需要注意的是，该系统采用的外部时钟源需有尽可能低的抖动，否则 MXT2003 的 SNR 将会降低。

在外部时钟作为系统时，时钟的输入必须保持固定。用户需在与外部时钟断开连接之前，改变系统电路板上的时钟。如果在此过程中发生故障，可通过复位系统即可恢复。

#### A2.2.4 数字码输出

MXT2003 的两个通道的数字输出与 Xilinx Virtex 4 FPGA 相连，可以存储的数据最高可达 4KB。FPGA 只需要非常小的面积，却能实现较多的功能。

#### A2.2.5 电源考虑

MXT2003 应用板的电压典型值为 12V，电流典型值为 800mA，其中电路板通常会产生 500mA 的电流。片上的大部分调整器都可以控制开关，从而提高了电源的效率。



## 十二、服务与支持

地 址：北京市丰台区东高地四营门北路 2 号

联系部门：AD/DA 部

电 话：010-67968115-5096

传 真：010-68757706

邮 编：100076



说明书的修编说明			
版本	日期	修编内容	作者
Ver 1.0	2012.12	文件创建	刘海江
Ver 1.1	2013.08	引出端命名更改	刘海江