

双8位高速A/D转换器

MXT2001

产品手册

简介

MXT2001是一款双通道、低功耗、高性能的CMOS模数转换器，其采样精度为8位，单通道采样率高达1.3GSPS，采用单电源1.9V供电，典型功耗为1.6W。它采用高速模-数转换电路以及数字自校准技术，保证器件的高速度和高动态特性。器件内部集成串行接口，支持用户控制、改变电路参数，以提高性能和满足系统要求。

电路特性

集成内部高性能采样保持电路

- 集成内部全差分高速高精度采样保持电路
- 可通过外总串行接口进行校准

单+1.9V±0.1V 低电源供电

- 单电源电压供电
- 集成高性能电压基准源

可选单/双数据率输出时钟

时间交错模式下具有 2X 采样率

- 可选两通道时间交错工作
- 最高采样率达 2.0 GSPS

具有多通道 ADC 同步能力

8 位有效转换无失码

- 集成内部高性能编码电路
- 集成低电压差分输出(LVDS)接口

输入范围精确可调

- 可选最大输入范围
- 输入范围精确可调

具有用户模式的串行接口

- 集成内部串行接口
- 可调偏置电流
- 可调采样保持电路精度
- 可调电压输入范围等

集成高速数字校准电路

- 具有上电自校准功能
- 具有一键校准功能
- 可校准输入范围，时钟同步，信噪比等

应用领域

射频信号下变频(Direct RF Down Conversion)

高速雷达(High-speed Radars)

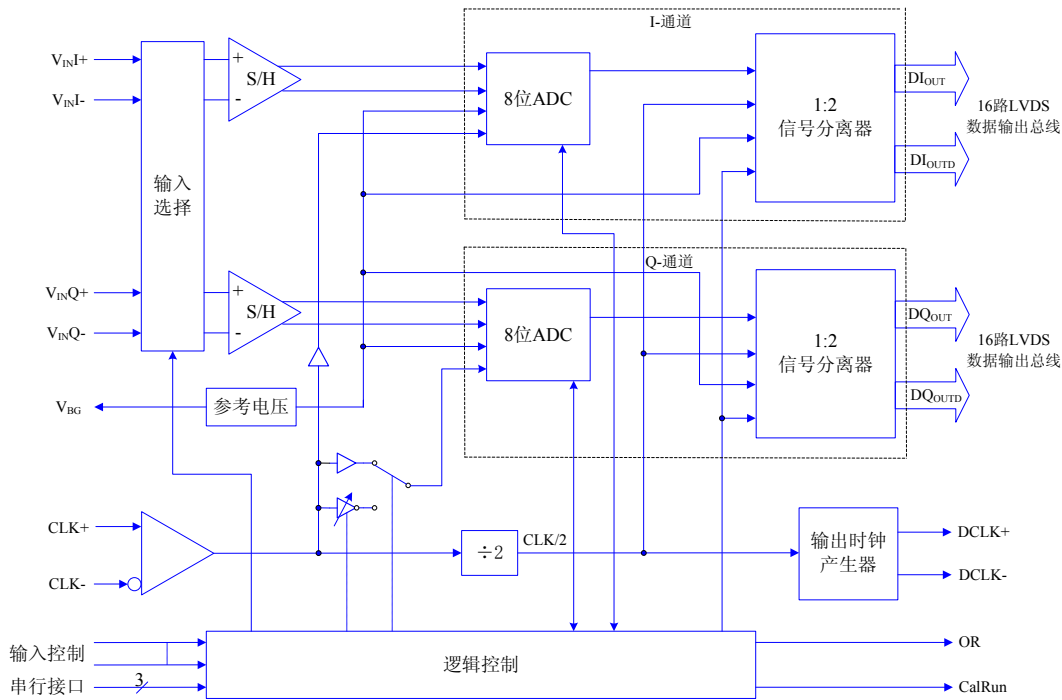
数字示波器(Digital Oscilloscopes)

卫星机顶盒(Satellite Set-top boxes)

通信系统(Communications Systems)

测试设备(Test Instrumentation)

电路框图



主要指标

电源电压	1.9V ±0.1V
采样频率	1.0 GSPS
模拟输入电压	±300mV~±400mV 可调
分辨率	8 bit
积分非线性	±1.0 LSB(typ)
微分非线性	±0.35 LSB(typ)
电路功耗	
工作模式	1.6W(typ)
掉电模式	20mW(typ)

引脚介绍

MXT2001采用LQFP144封装，引脚如图1所示，含有三种类型的引脚：

- 永久专用的引脚
- 可选功能的用户I/O引脚
- 用户可编程的I/O引脚

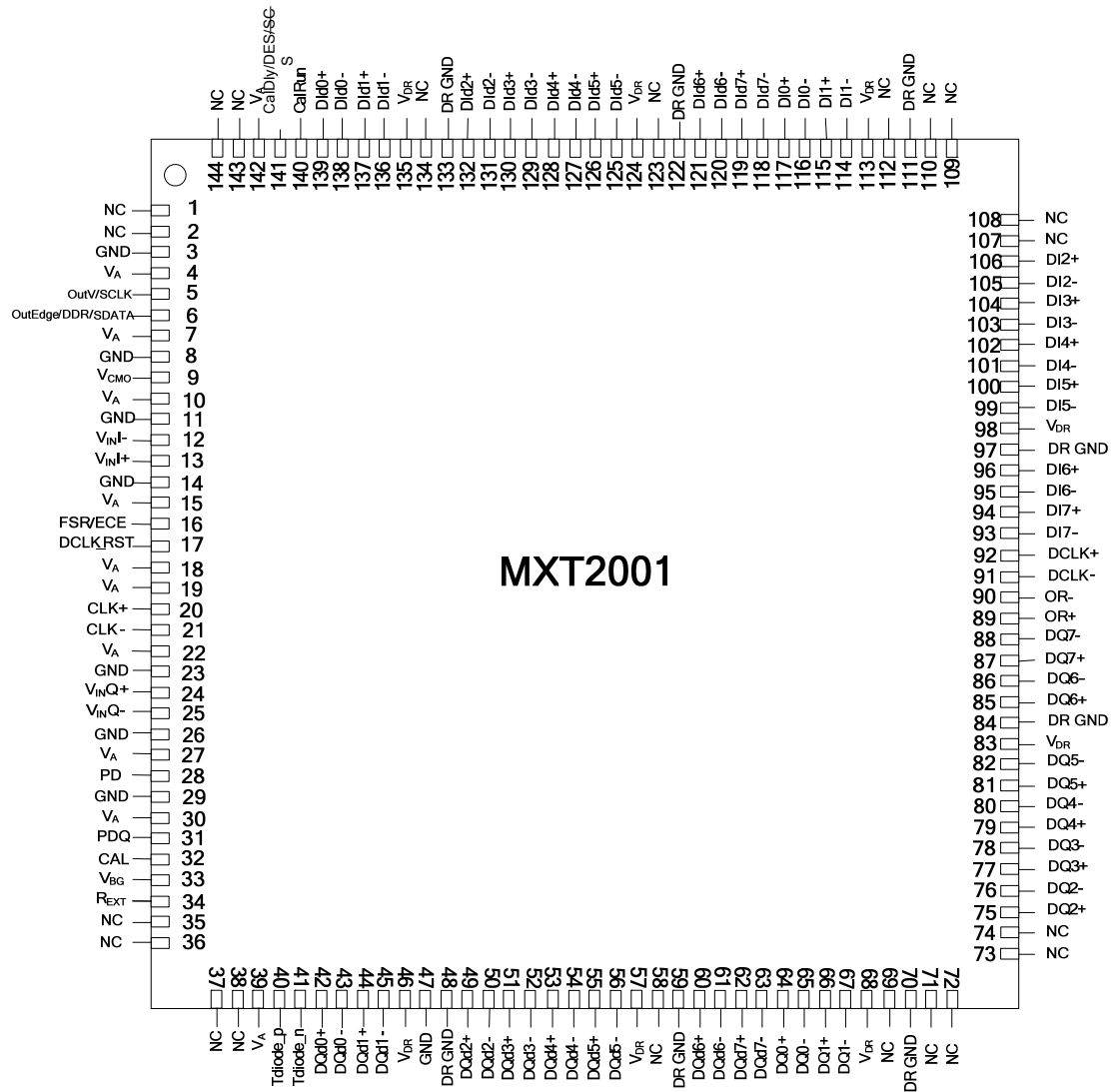


图 1 引脚排列图

引出端序号及名称对照表

序号	符号	引脚属性	序号	符号	引脚属性
1	NC	浮空	37	NC	浮空
2	NC	浮空	38	NC	浮空
3	GND	地	39	V _A	电源
4	V _A	电源	40	Tdiode_p	输出
5	OutV/SCLK	输入	41	Tdiode_n	输出
6	OutEdge/ DDR/SDATA	输入	42	DQd0+	输出
7	V _A	电源	43	DQd0-	输出
8	GND	地	44	DQd1+	输出
9	V _{CMO}	输入	45	DQd1-	输出
10	V _A	电源	46	V _{DR}	电源
11	GND	地	47	GND	地
12	V _{INI} -	输入	48	DR GND	地
13	V _{INI} +	输入	49	DQd2+	输出
14	GND	地	50	DQd2-	输出
15	V _A	电源	51	DQd3+	输出
16	FSR/ECE	输入	52	DQd3-	输出
17	DCLK_RST	输入	53	DQd4+	输出
18	V _A	电源	54	DQd4-	输出
19	V _A	电源	55	DQd5+	输出
20	CLK+	输入	56	DQd5-	输出
21	CLK-	输入	57	V _{DR}	电源
22	V _A	电源	58	NC	地
23	GND	地	59	DR GND	地
24	V _{INQ} +	输入	60	DQd6+	输出
25	V _{INQ} -	输入	61	DQd6-	输出
26	GND	电源	62	DQd7+	输出
27	V _A	电源	63	DQd7-	输出
28	PD	输入	64	DQ0+	输出
29	GND	地	65	DQ0-	输出
30	V _A	电源	66	DQ1+	输出
31	PDQ	输入	67	DQ1-	输出
32	CAL	输入	68	V _{DR}	电源
33	V _{BG}	输出	69	NC	浮空
34	R _{EXT}	输出	70	DR GND	地
35	NC	浮空	71	NC	浮空
36	NC	浮空	72	NC	浮空

续表

序号	符号	引脚属性	序号	符号	引脚属性
73	NC	浮空	109	NC	浮空
74	NC	浮空	110	NC	浮空
75	DQ2+	输出	111	DR GND	地
76	DQ2-	输出	112	NC	浮空
77	DQ3+	输出	113	V _{DR}	电源
78	DQ3-	输出	114	DI1-	输出
79	DQ4+	输出	115	DI1+	输出
80	DQ4-	输出	116	DI0-	输出
81	DQ5+	输出	117	DI0+	输出
82	DQ5-	输出	118	DI _d 7-	输出
83	V _{DR}	电源	119	DI _d 7+	输出
84	DR GND	地	120	DI _d 6-	输出
85	DQ6+	输出	121	DI _d 6+	输出
86	DQ6-	输出	122	DR GND	地
87	DQ7+	输出	123	NC	浮空
88	DQ7-	输出	124	V _{DR}	电源
89	OR+	输出	125	DI _d 5-	输出
90	OR-	输出	126	DI _d 5+	输出
91	DCLK-	输出	127	DI _d 4-	输出
92	DCLK+	输出	128	DI _d 4+	输出
93	DI7-	输出	129	DI _d 3-	输出
94	DI7+	输出	130	DI _d 3+	输出
95	DI6-	输出	131	DI _d 2-	输出
96	DI6+	输出	132	DI _d 2+	输出
97	DR GND	地	133	DR GND	地
98	V _{DR}	电源	134	NC	浮空
99	DI5-	输出	135	V _{DR}	电源
100	DI5+	输出	136	DI _d 1-	输出
101	DI4-	输出	137	DI _d 1+	输出
102	DI4+	输出	138	DI _d 0-	输出
103	DI3-	输出	139	DI _d 0+	输出
104	DI3+	输出	140	CalRun	输出
105	DI2-	输出	141	CalDly/DES/ SCS	输入
106	DI2+	输出	142	V _A	电源
107	NC	浮空	143	NC	浮空
108	NC	浮空	144	NC	浮空

MXT2001 详细功能描述

引出端符号	功能描述
OutV / SCLK	输出电压幅度和串行接口时钟。为高电平时，表示正常差分输出数据幅度，为低电平时，表示降低差分输出幅度和降低功耗。当扩展控制模式被激活，SCLK 作为串行数据的输入时钟。
OutEdge / DDR / SDATA	DCLK 边沿选择、双数据速率(Double Data Rate)和串行数据串行输入 (Serial Data Input)。当输出数据转换时，此引脚设定 DCLK+的输出边缘。当引脚浮空或连接到 1/2 电源电压时，使能 DDR 时钟。在扩展控制模式下，此引脚作为串行数据输入端(SDATA)。
DCLK_RST	复位。当引脚输入正脉冲用于复位和同步多个转换器的时序 DCLK。
PD, PDQ	掉电模式。PD 引脚为高电平时，芯片进入低功耗掉电模式 (Power Down Mode)。当 PDQ 引脚接高电平时，只有 Q 通道进入到低功耗掉电模式。
CAL	校准模式启动信号。最低 80 个时钟周期的逻辑低电平输入之后紧随 80 个时钟周期的逻辑高电平输入，将激发电路进入校准模式。
FSR/ECE	全刻度范围选择和扩展控制使能。在非扩展控制模式下，拉低时，降低差分输入范围，设置满量程差动输入电压范围为 650mV _{P-P} 。拉高时，增大差分输入范围，设置满量程差动输入电压范围为 870mV _{P-P} 。当启用扩展控制模式时，即当采用串行接口和控制寄存器时，该引脚浮空或将其连接到 V _A /2。
CalDly/ DES / $\overline{\text{SCS}}$	校准延迟、双边采样和串行接口片选信号。当引脚 FSR/ECE 拉低或拉高条件下，在电路上电自校准开始之前，该引脚设定校准延迟时钟周期数。当引脚 FSR/ECE 浮空时，该引脚使能串行引脚接口输入，并设定 CalDly 延时时间为“0”。当此引脚是浮空或连接到 1/2 电源电压，选择双边采样模式，选择“1”路信号输入，此时采样时钟按两倍速率进行，并忽略“Q”路输入信号。
CLK+ CLK-	LVDS 时钟输入。差分时钟信号必须以交流方式(a.c.coupled)加在这些引脚上。输入信号在时钟 CLK+的下降沿采样。

$V_{IN+}, V_{IN-}, V_{INQ+}, V_{INQ-}$	模拟信号差分输入。当 FSR 为低时, 差分输入信号为 $650mV_{P-P}$, 当 FSR 为高时, 差分输入信号为 $870mV_{P-P}$ 。
V_{CMO}	共模电压。当输入信号采用 d.c. 耦合时, 为在 V_{IN+} 和 V_{IN-} 的共模电压, 当输入信号采用 a.c. 耦合时, 此引脚应接地。该引脚具有 $100\mu A$ 的电流源/沉的驱动能力。
V_{BG}	带隙输出电压。该引脚具有 $100\mu A$ 的电流源/沉的驱动能力。
CalRun	校准运行指示。该引脚为逻辑高时, 表示电路校准正在运行。
R_{EXT}	外部偏置电阻连接。通过标称值为 $3.3k\Omega (\pm 0.1\%)$ 的电阻连接到地 (GND)。
Tdiode_P Tdiode_N	温度二极管的正极 (阳极) 和负极 (阴极)。 这些引脚可用于芯片的温度测量。
DI7- / DQ7- DI7+ / DQ7+ DI6- / DQ6- DI6+ / DQ6+ DI5- / DQ5- DI5+ / DQ5+ DI4- / DQ4- DI4+ / DQ4+ DI3- / DQ3- DI3+ / DQ3+ DI2- / DQ2- DI2+ / DQ2+ DI1- / DQ1- DI1+ / DQ1+ DI0- / DQ0- DI0+ / DQ0+	I 和 Q 通道 LVDS 数据输出。这些信号没有经输出信号分离器延迟。与 DI _d /DQ _d 相比, 这些输出对应的采样点时间靠后。这些输出始终应连接 100Ω 差分电阻。
DI _d 7- / DQ _d 7- DI _d 7+ / DQ _d 7+ DI _d 6- / DQ _d 6- DI _d 6+ / DQ _d 6+ DI _d 5- / DQ _d 5-	I 和 Q 通道 LVDS 数据输出。这些信号经输出信号分离器有一个时钟周期延迟。与 DI/DQ 相比, 这些输出对应的采样点时间靠前。这些输出始终应连接 100Ω 差分电阻。

DIId5+ / DQd5+ DIId4- / DQd4- DIId4+ / DQd4+ DIId3- / DQd3- DIId3+ / DQd3+ DIId2- / DQd2- DIId2+ / DQd2+ DIId1- / DQd1- DIId1+ / DQd1+ DIId0- / DQd0- DIId0+ / DQd0+	
OR+ OR-	输入范围溢出指示。当此引脚为高时，表示差分信号输入超出范围（650mV 或 870mV,具体由 FSR 引脚定义）。
DCLK+ DCLK-	差分时钟输出。用于锁存输出数据。这些引脚可以选择延时或不延时以便输出同步，在单倍数据率 SDR 模式下，这些信号的速度为输入时钟的 1/2，在双倍数据率 DDR 模式下，这些信号的速度为输入时钟的 1/4。在校准周期内 DCLK 不被激活。
V _A	模拟电源。与 GND 对应。
V _{DR}	输出驱动电源。与 DR GND 对应。
GND	模拟地线。与 V _A 对应。
DR GND	驱动地线。与V _{DR} 对应。
NC	没有连接。这些引脚不作任何连接。

绝对最大额定值

电源电压(V _A , V _{DR})	2.2V
任一引脚电压	-0.15V ~ (V _A +0.15V)
地线差别电压 GND - DR GND	0V~ 100 mV
任一引脚输入电流	±25mA
封装输入电流	±50mA
电路功耗（T _A ≤ 85℃）	2.0W
贮存温度(Tstg)	-65℃ ~ 150℃

引线耐焊接温度 (T_h)

235 °C

推荐工作条件

电源电压 (V_A)

1.8V ~ 2.0V

驱动电源电压(V_{DR})

1.8V ~ V_A

工作环境温度 (T_A) :

-40 °C~+85 °C

全差分输入电压范围

$-V_{FS}/2 \sim -V_{FS}/2$

时钟频率

1.0 GHz

时钟电压

0V ~ V_A

电学参数特性

测试条件 $V_A = V_{DR} = +1.9V$, $OutV = 1.9V$, 正弦差分信号输入采用交流耦合, 输入范围为870mV_{P-P}, $C_L = 10$ pF. 时钟输入为正弦信号, 且频率为1GHz, 差分幅度为0.5V_{P-P}, 占空比为50%。 V_{BG} 引脚浮空, 外接 $R_{EXT} = 3300\Omega \pm 0.1\%$, 输入信号源差分内阻为100 Ω 。芯片工作模式在SDR模式, 且为非扩展控制模式。除非特别声明, 芯片默认温度为25°C, 性能指标的典型值是在理论工作电压和 $T_A=25^\circ\text{C}$ 的条件下测试得到的。

参数	符号	条件（注 1,2,3） （如无特殊说明 -40 °C≤T _A ≤+85 °C）	典型值	最值 范围	单位
静态参数					
积分非线性	INL	直流耦合，1MHz正弦输入	±1.0		LSB
微积分非线性	DNL	直流耦合，1MHz 正弦输入	±0.35	±0.6	LSB
无误码精度				8	Bits
失调误差	V _{OFF}		-0.45	<div>-1.5 0.5</div>	LSB
正输入范围误差	PFSE	注 4	-0.6	±25	mV
负输入范围误差	NFSE	注 4	-1.31	±25	mV
超出范围输出代 码（OR 为高）		（V _{IN+} ）-(V _{IN-})> 正全摆幅		255	
		（V _{IN+} ）-(V _{IN-})< 负全摆幅		0	
正常模式(non DES)动态参数					
有效比特数	ENOB	f _{IN} = 100 MHz, V _{IN} = FSR – 0.5dB	7.4	7	Bits
		f _{IN} = 248 MHz, V _{IN} = FSR – 0.5dB	7.4	7	
		f _{IN} = 498 MHz, V _{IN} = FSR – 0.5dB	7.0	6.5	
信号 / 噪声谐波	SINAD	f _{IN} = 100 MHz, V _{IN} = FSR – 0.5dB	46	44	dB
		f _{IN} = 248 MHz, V _{IN} = FSR – 0.5dB	46	44	
		f _{IN} = 498 MHz, V _{IN} = FSR – 0.5dB	44	38	
信号/噪声	SNR	f _{IN} = 100 MHz, V _{IN} = FSR – 0.5dB	47	44	dB
		f _{IN} = 248 MHz, V _{IN} = FSR – 0.5dB	47	44	
		f _{IN} = 498 MHz, V _{IN} = FSR – 0.5dB	44	38	

总谐波失真	THD	$f_{IN} = 100 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	-55	-47	dB
		$f_{IN} = 248 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	-55	-47	
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	-47	-40	
无杂散动态范围	SFDR	$f_{IN} = 100\text{M Hz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	55	47	dB
		$f_{IN} = 248\text{M Hz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	55	47	
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	47	40	
最大输入时钟频率	f_{CLK1}	正常（non DES）模式	1	1.3	GHZ
通道交错模式(DES 引脚 127 浮空)动态特性					
有效比特数	ENOB	$f_{IN} = 248 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	7.3	6.8	Bits
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	7	6.5	
信号 / 噪声谐波	SINAD	$f_{IN} = 248 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	46	42	dB
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	44	38	
信号/噪声	SNR	$f_{IN} = 248 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	46	42	dB
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	44	38	
总谐波失真	THD	$f_{IN} = 248 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	-55	-47	dB
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	-47	-40	
无杂散动态范围	SFDR	$f_{IN} = 248 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	53	47	dB
		$f_{IN} = 498 \text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{dB}$	47	40	
模拟输入及参考源特性					
全摆幅模拟差分信号输入范围	V_{IN}	引脚16为低	570	450	mV_{P-P}
				730	
		引脚16为高	790	670	mV_{P-P}
				950	
差分输入电阻	R_{IN}		100	94	Ω
				106	
模拟输出特性					
共模输出电压	V_{CMO}		1.26	0.95	V
				1.45	
带隙输出电压	V_{BG}	$I_{BG} = \pm 100 \mu\text{A}$	1.26	1.20	V
				1.33	
时钟输入特性					
差分时钟输入电平	V_{ID}	正弦时钟	0.6	0.4	V_{P-P}
				2.0	
		方波时钟	0.6	0.4	V_{P-P}
				2.0	
数字控制引脚特性					
逻辑高电平	V_{IH}			$0.85 \times V_A$	V
逻辑低电平	V_{IL}			$0.15 \times V_A$	V

数字输出特性					
LVDS 差分输出	V _{OD}	差分测量, OutV = V _A , V _{BG} 浮空(注5)	700	400	mV _{P-P}
				920	
		差分测量, OutV = GND, V _{BG} 浮空(注5)	500	280	mV _{P-P}
				720	
电源特性					
模拟电源电流	I _A	PD = PDQ = Low	660	765	mA
		PD = Low, PDQ = High	430	508	
驱动电源电流	I _{DR}	PD = PDQ = Low	200	275	mA
		PD = Low, PDQ = High	112	157	
功耗	PD	PD = PDQ = Low	1.6	1.97	W
		PD = Low, PDQ = High	1	1.27	
交流特性					
复位脉冲宽度	t _{RPW}		4		时钟周期
串行时钟 低电平时间			4		ns
串行时钟 高电平时间			4		ns
CAL 引脚 低电平时间	t _{CAL_L}		80		时钟周期
CAL 引脚 高低电平时间	t _{CAL_H}		80		时钟周期

注 1: 在绝对最大限度处不能保证器件工作, 超过绝对最大限度可能损坏器件。工作条件仅表明芯片可以工作, 并不能保证其性能指标在最值范围内。电特性表的数据仅在指明测试条件下测得, 其它条件下, 器件性能可能降低。

注 2: 模拟输入由限流电阻和限流二极管保护, 电压幅度超过限制可能导制器件损坏。

注 3: 为保证精度, 电源 V_A , V_{DR} 应当很好的旁路, 每个电源引脚都应外接独立旁路电容。另外, 芯片背面金属片也应很好的接地。

注 4: 对此芯片计算全摆幅误差时, 已经假设了实际的参考电压为正常值。因此, 这里的器件全摆幅误差, 实际上是全摆幅误差和参考电压误差的总和。

注 5: 将 V_{BG} 接到电源电压时, 将使输出失调电压(V_{os})增加 330mV(典型)。同理, 也将使 LVDS 的输出电压(V_{OD})提高 40mV。

传输特性

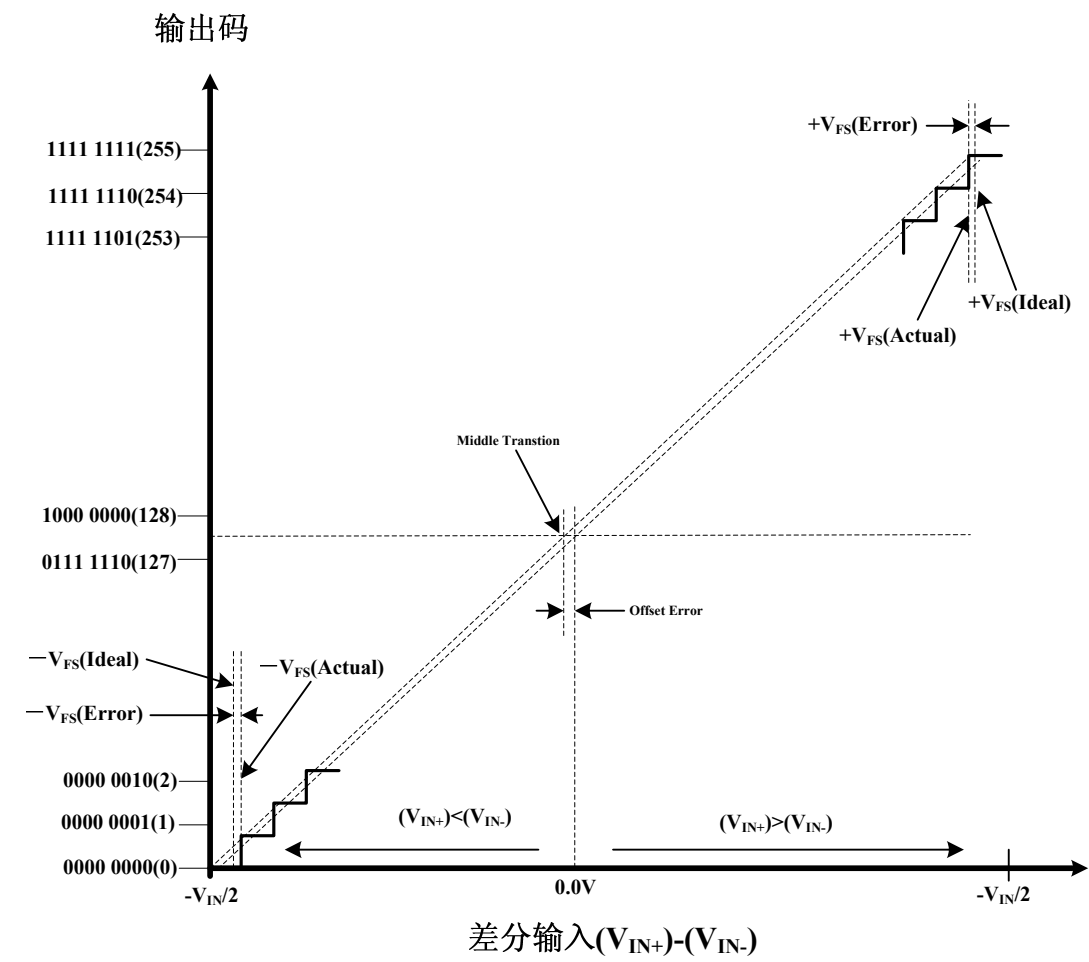


图 2 输入/输出传输特性

工作时序

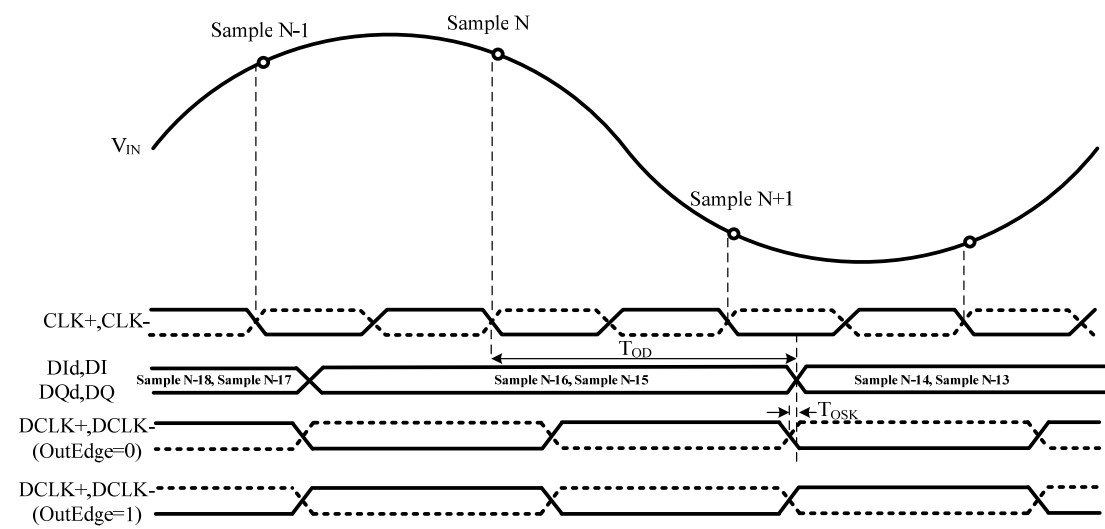


图 3 MXT2001 整体时序——单数据率(SDR)模式

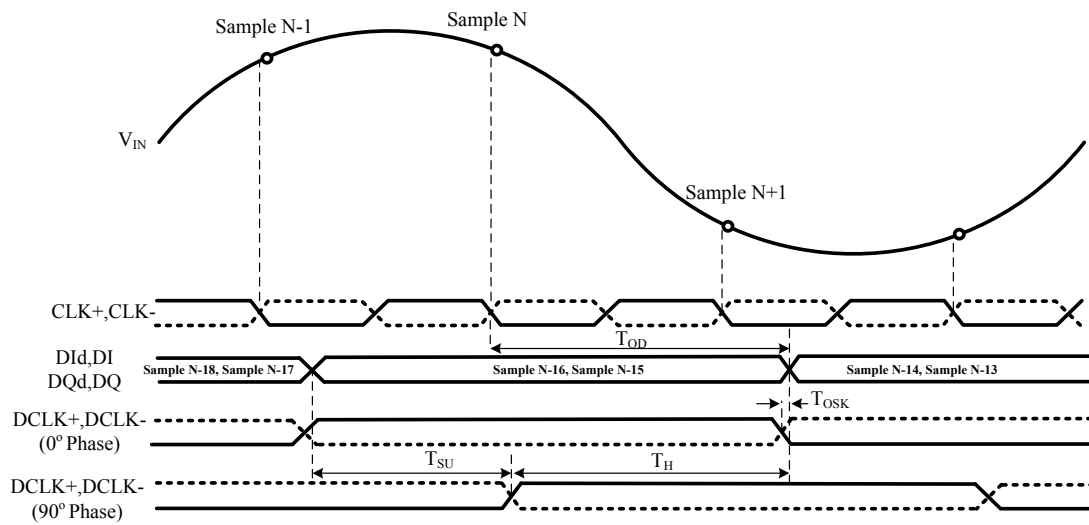


图 4 MXT2001 整体时序——双数据率(DDR)模式

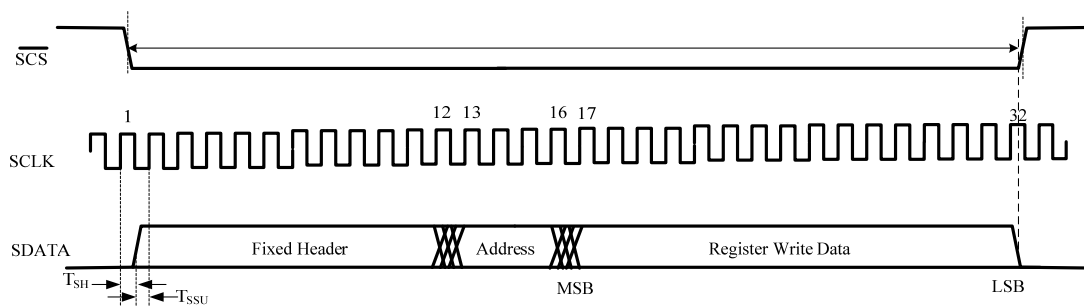


图 5 用户串行接口时序

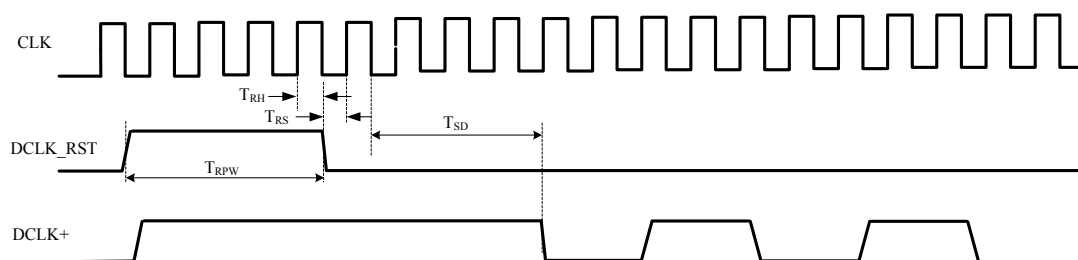


图 6 双数据率(DDR)模式——时钟复位时序

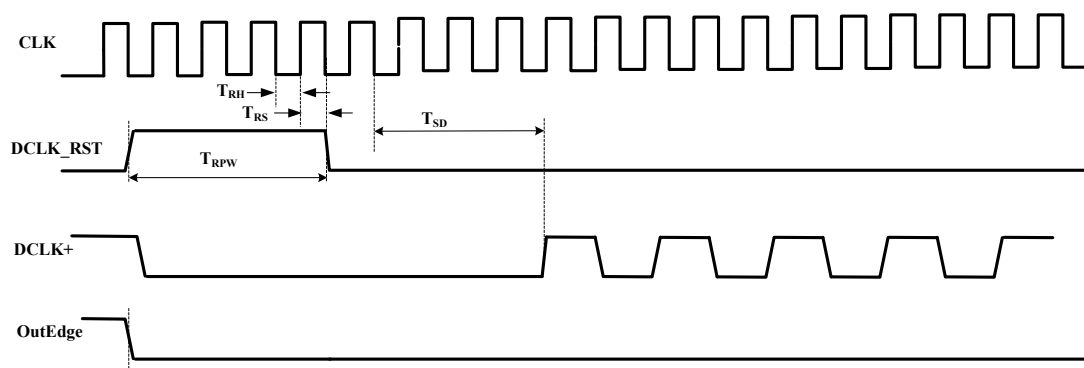


图7 SDR模式——时钟复位时序(引脚OutEdge拉低)

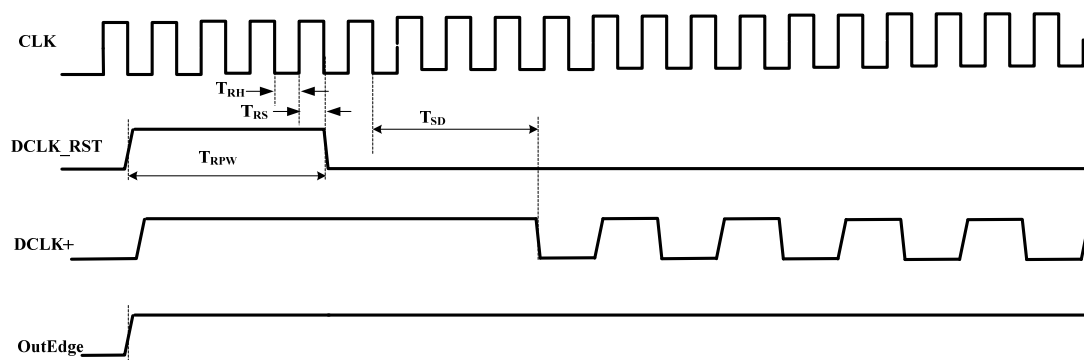


图8 SDR模式——时钟复位时序(引脚OutEdge拉高)

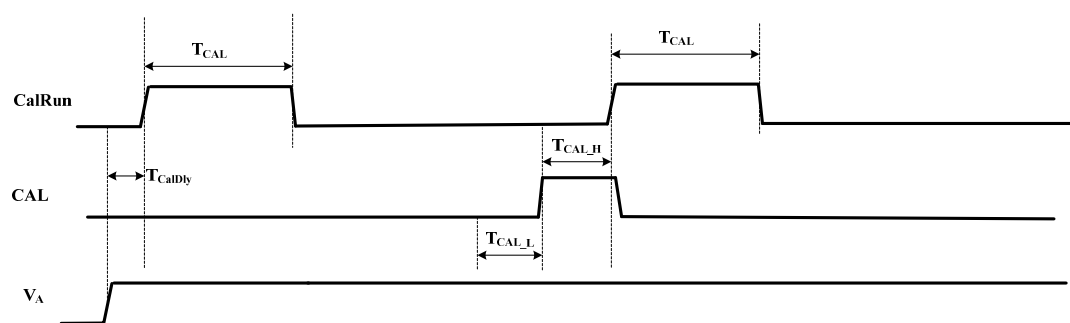


图9 上电自校准和命令校准时序

详细功能描述

1.0 功能定义

MXT2001 是一款用途广泛的高性能 A/D 转换器，采用了创新的结构设计，可以在非常高速度的场合应用。多种控制模式的设计，简化了电路的设计。在使用时遵守本节以及第 2 节中所描述的规则，方可获得最佳的性能。

一般来说，在使用时不应将端口悬空。在 MXT2001 中，引脚 6，16 和 141 被设计为浮空的形式，却能够避免端口浮空的影响。在本说明书中的所有讨论中，由于实现某种功能时要将某引脚悬空时，可将此引脚与相当于一半 V_A 的电压相连，这与将此引脚悬空所得到的效果相同。

1.1 总述

MXT2001 采用可校准的折叠插值电路结构，其有效位数可以达到 7.4。折叠放大器可以显著的减少比较器的数量进而降低电路功耗，插值电路可以减少前置放大器的数目，最小化输入信号电容从而降低电路功耗。另外，采用片上数字校准电路，以降低折叠结构中常有的非线性效应，从而实现了超高速、高性能、低功耗的模数转换。

当模拟输入信号处于转换器的输入电压范围内时，MXT2001 在 8 位分辨率下可得到 200MSPS~1.3GSPS 的采样率典型值。差分输入电压小于满量程的负值时，输出码为全 0；而当差分输入电压超过满量程的正值时，输出码为全 1。I 通道和 Q 通道的上述变化，都会使得 OR（范围输出）信号的输出产生变化。OR 信号的输出表明，转换器的一个或者两个通道的输出码低于满量程的负值或超过满量程的正值。

每通道转换器均具有 1:2 信号分离器，提供两路 LVDS 总线信号输出。每路总线速度为采样频率的一半，且必须由用户设定使其工作在时间交错模式，从而使得输出码工作在最高转换速度下。

输出的电平可以在正常摆幅和减小摆幅下选择。采用减小的摆幅可以降低功耗，但也会带来一位或者多位的数据捕获偏差，这在高采样率下以及边沿设计系统中尤为明显。

1.1.1 自校准

自校准可在器件上电时自动执行，也可以由用户命令激活。数字校准可以精确调整 100 欧输入电阻，最小化输入范围误差、电学参数失调误差、DNL 和 INL，从而提高电路的动态性能，最大化 SNR、THD、SNDR 和 ENOB 等。同时，内在的偏置电流也通过校准过程设定。无论校准是在上电时自动执行还是通过外部命令激活执行，上述各方面都会得到调整。对于芯片而言，自校准的运行是芯片功能中很重要的一部分，需要获得足够的运行时间。考虑到自校准会在芯片上电时自动执行，无论在上电时 FSR 引脚的状态是否被改变，自校准都会被持续执行。为了获得最好的性能，我们推荐在器件上电后至少运行 20 秒的时间。而考虑到系统设计时的性能要求，当操作温度有明显的改变时，也应使运行校准至少 20 秒的时间。在 2.4.2.2 “命令校准模式”中对此有更多信息。在处于掉电模式时，校准不能够被初始化以及运行。在 1.1.7 “掉电模式”中对于掉电模式和校准之间的相互关系有更多信息。

在校准过程中，输入终端电阻的值被设定为 $R_{EXT}/33$ 。此外部电阻处于引脚 34 和地之间，且必须使 R_{EXT} 的值处于 $3.3k\Omega \pm 1\%$ 之间。按照该值，输入终端电阻为 100Ω 。由于 R_{EXT} 为采样保持放大器、预放大器、比较器设定适合的电流基准， R_{EXT} 不能够被设定成其它的值。

在正常操作中，在 CAL 引脚为低保持至少 t_{CAL_L} 个时钟周期后，再使 CAL 引脚为高至少 t_{CAL_H} 个时钟周期后，此时的校准命令方为有效。当得到有效的校准命令或者器件上电后，校准才会开始工作。其中， t_{CAL_L} 和 t_{CAL_H} 在转换器电学参数表中有详细定义。校准程序所需要的时间为 t_{CAL} ，在转换器电学参数表中也详细定义。在器件上电后，CAL 被设为高，这可以防止除 CAL 引脚经上述的 t_{CAL_L} 个时钟周期以及 t_{CAL_H} 个时钟周期外所带来的校准。

CalDly（引脚 141）用于上电启动校准后两个延迟中的选择。校准延迟时间的选择由 CalDly 引脚进行设定，在“转换器电学参数”中对 CalDly 有详细定义。此延迟能够使得电源在启动校准之前，处于稳定上电状态。如果 PD 引脚在上电时为高，校准延迟计数器将被在 PD 引脚为低之前，一直停止工作。因此，在上电后将 PD 引脚设为高，可以更进一步地延迟上电校准。

校准操作说明：

处于校准模式下，由于校准的运算可能会使 OR 的输出产生变化。在校准模式下，所有在输出引脚的数据和 OR 的输出均为无效。

为降低校准循环中输入电阻校准所带来的噪声，在上电校准或外部命令校准中，包括内部时钟和 DCLK 在内的所有片上时钟暂停，此时输入终端电阻的值被设定为 $R_{EXT}/33$ 。在 2.4.2“自校准工作模式”中，对外部命令校准模式下 DCLK 的操作有详细说明。此内置电阻 R_{EXT} 被放置在引脚 34 和地之中，其电阻值必须处于 $3.3k\Omega \pm 1\%$ 之间。按照该值，可知输入终端电阻为 100Ω 。 R_{EXT} 需要为采样保持放大器、预放大器、比较器设定适合的电流，不能够被设定成其它的值。

无论是上电校准还是外部命令校准，在校准程序执行过程中，CalRun 的输出均为高。

1.1.2 输入捕获

数据在 CLK+（引脚 20）下降沿时被捕获，在 13 个输入时钟周期之后 DI 通道和 DQ 通道的输出总线以及 14 个输入时钟周期之后 DI_d 以及 DQ_d 输出总线可得到该数据的等效值。数据在输出有效之前，存在一个额外的内设延迟 t_{OD} 。由时钟框图中可以看到，在输入时钟信号出现时，MXT2001 将会开始工作。全差分比较器的设计、创新的采样保持放大器的设计、以及自校准技术，使得转换器在 1GHz 的采样频率下具有非常平坦的 SINAD 以及 ENOB 响应。MXT2001 的输出数据经 LVDS，按照偏移二进制码输出。

1.1.3 控制模式

通过提供的多个控制引脚，可以由用户设定多种工作模式。例如校准循环的初始化、掉电模式以及满量程范围设定等均可由用户进行设定。同时，MXT2001 还提供了扩展控制模式，由一组串行接口得到寄存器中的不同的参数，实现不同的模式。尽管用户希望能够在任何时刻能对正常控制模式和扩展控制模式进行选择，但扩展控制模式并不能被动态的激活或禁止。当转换器处于扩展控制模式时，多个引脚的参数被寄存器中的参数所替代，而且此时这些引脚的控制被禁止。这些引脚包括 OutV（引脚 5）、OutEdge/DDR（引脚 6）、FSR（引脚 16）以及

CalDly/DES（引脚 141）。在 1.2 “正常/扩展控制模式”中可以得到有关扩展控制模式的详细信息。

1.1.4 模拟输入

MXT2001 必须由差分输入信号驱动，不推荐采用单端信号。很重要的一点是，当 V_{CMO} 引脚接地时，信号按 a.c.耦合方式输入；当 V_{CMO} 浮空时，则按 d.c.耦合方式输入。当采用 d.c.耦合方式时，外部需提供输入共模电平，其值与 V_{CMO} 的输出相等。

由引脚16（FSR）可以对于两种满量程方式进行选择。在正常工作模式下，可以通过引脚16（FSR）对输入满量程范围进行编程，在“转换器电学参数”中的 V_{IN} 有详细定义。满量程范围的设定对于两个子ADC均有效。在扩展控制模式下，可通过输入满量程电压调整计数器对其范围进行调整，1.4以及2.2中有详细描述。

1.1.5 时钟

MXT2001 的差分时钟信号必须通过 a. c.耦合的方式驱动。2.3 节将详细描述时钟输入引脚的使用方法。当器件用来接收数据时，差分 LVDS 输出时钟会被激活，从而锁存 ADC 的输出数据。

MXT2001 的输入和输出时钟有两种选择。这些选择包括双边采样模式或者是将 MXT2001 作为单通道器件工作在两倍输入时钟频率的交织模式下，选择在 DCLK 的哪个变化沿输出数据，选择 SDR 或者 DDR 输出。

MXT2001 还具有时钟周期校正功能。在默认模式下这个功能是被使能的，这样可以为双边采样（DES）模式提供改善的 ADC 时钟。这部分电路可以确保在正常或者 DES 采样模式下都可以使用时钟周期比例为 80/20%（最坏情况）的信号源作为输入的时钟。

1.1.5.1 双边采样（DES）模式

双边采样模式可以使芯片的输入（I 通道或者 Q 通道）被所有的子 ADC 所采样。一个子 ADC 在输入时钟的上升沿进行采样而另外的子 ADC 则在输入时钟的下降沿采样，这样，一个输入信号就可以在一个时钟周期内被采样两次，从而使整体的采样速率变为输入时钟的两倍。即在 1GHz 输入时钟的情况下，可以获得 2GHz 的采样率。

在这种模式下，输出数据是时间交织的，这样可以将数据速率降低 4 倍。由于采样速率提高了一倍，这样四个输出总线就可以在 1GHz 的输入时钟频率下，分别有 500MSPS 的输出速率，所有的数据并行输出。这四组并行的数据按照从早到晚分别为：DQd、DID、DQ、DI 的顺序分别进行采样。表 1 给出了输出数据所有可能的采样情况。

在非外部扩展模式时，DES 模式下只有“I”通道的输入信号会被采样。而在外部扩展模式时，DES 模式下两个通道的输入都可以被选择采样。

MXT2001 还具有后台自动时钟相位校准功能，此功能在 DES 模式下自动调整 I 和 Q 通道的时钟相位，有助于提高 DES 模式下的 ENOB 性能。

表 1 在数据输出端产生的输入通道采样

输出数据	正常采样模式	双边采样模式（DES）	
		选择 I 通道	选择 Q 通道
DI	“I”通道输入在 13 个周期前的时钟下降沿被采样	“I”通道输入在 13 个周期前的时钟下降沿被采样	“Q”通道输入在 13 个周期前的时钟下降沿被采样
DId	“I”通道输入在 14 个周期前的时钟下降沿被采样	“I”通道输入在 14 个周期前的时钟下降沿被采样	“Q”通道输入在 14 个周期前的时钟下降沿被采样
DQ	“I”通道输入在 13 个周期前的时钟下降沿被采样	“I”通道输入在 13.5 个周期前的时钟下降沿被采样	“Q”通道输入在 13.5 个周期前的时钟下降沿被采样
DQd	“I”通道输入在 14 个周期前的时钟下降沿被采样	“I”通道输入在 14.5 个周期前的时钟下降沿被采样	“Q”通道输入在 14.5 个周期前的时钟下降沿被采样

注意：在正常的 DES 模式下，只有 I 通道的信号会被采样，而在扩展控制的 DES 模式下，I 或 Q 通道的信号均可以被采样。

1. 1. 5. 2 输出沿设置

为了方便在 SDR 模式下的数据捕获，输出数据需要在输出数据时钟(DCLK)的上升沿或者下降沿进行传输。可以通过 OutEdge 输入（第 6 引脚）进行选择。OutEdge 端接高电平时，输出数据会在 DCLK 的上升沿传输；当此引脚接地时，输出数据则会在 DCLK 的下降沿传输。

1. 1. 5. 3 双数据速率

MXT2001 可以选择单数据速率（SDR）或者双数据速率（DDR）传输。在单数据速率的情况下，输出时钟（DCLK）的频率会与两个输出总线的数据速率一样。而在双数据速率模式下，DCLK 的频率则是数据速率的一半，并且在 DCLK 的上升沿和下降沿都输出数据。DDR 时钟在非扩展模式下通过将第 6 引脚浮空来使能。

1. 1. 6 LVDS 输出

输出数据、超出范围信号（OR）以及 DCLK 都采用 LVDS 接口。当 OutV 输入（第 5 引脚）为高电平时，输出电流源将提供给 100 欧姆差分负载 3mA 的输出电流，当 OutV 输入为低电平时，电流变为 2.2mA。如果使用的 LVDS 连线较短并且系统的噪声很低，将 OutV 输入接低电平就可能实现较好的性能，这样有利于节省功耗。如果 LVDS 的连线比较长而且系统工作的环境噪声影响比较大，则必须要将 OutV 引脚接到高电平。

当 V_{BG} 引脚没有任何连接浮空时，LVDS 数据输出的典型共模值是 800mV；如果将 V_{BG} 引脚接到 V_A 上，共模电平则可以增加到 1.2V。

注意：将 V_{BG} 引脚连接到 V_A 上，将会使差分 LVDS 输出的电压增加 40mV 左右。

1. 1. 7 掉电模式

当掉电模式选择引脚（PD）接低电平时，MXT2001 处于工作状态。当 PD 为高时，器件将进入到掉电模式。在掉电模式下，数据输出端口（正端和负端）

全部变为高阻模式，器件消耗的功耗会变得很小。DCLK+/-和 OR+/-由于不是三态输出端口，因此会处于弱下拉的状态。而且，当I和Q通道全部掉电时，DCLK+/-和 OR+/-不应该接到任何直流电平上。

PDQ 接高电平将会使“Q”通道掉电，而保持“T”通道正常工作。此芯片不支持只掉电“T”通道而使“Q”通道正常工作。

如果 PD 输入端变为高电平时，此时芯片正在运行校准，并不会立刻进入掉电模式，需等校准完成才会进入掉电模式。与此类似，如果 PD 已经接为高电平，校准也要等到 PD 输入端变低后才能开始进行。当器件处在掉电模式下时，人工校准同样不会起作用。也就是说，人工校准功能在掉电状态下是完全被忽略的。当只有“Q”通道进入掉电模式时，校准功能是可以起作用的，只是如果 PDQ 为高，“Q”通道将不会被校准。如果想再次使用“Q”通道，则应当在 PDQ 变为低之后再次进行校准。

1.2 正常/扩展控制模式

MXT2001 有两种工作模式，可以选择工作在任何一种模式下。在较为简单的标准控制模式下，用户只需要通过几个控制引脚就可以进行配置。而“扩展控制模式”则会通过一个串口以及一组八个寄存器来提供额外的配置以及控制的选择。这两种控制模式可以通过第 16 引脚（FSR/ECE：扩展控制使能）来选择。控制模式的选择一旦选定就应当固定下来，当器件开始工作后，将不允许动态转换模式。表 2 给出了不同的控制模式选择对于器件特性的影响。

表 2 功能与控制模式

特性	正常控制模式	扩展控制模式
SDR 或 DDR 时钟	当第 6 引脚浮空时，选择 DDR 时钟；当第 6 引脚不浮空时，选择 SDR 时钟	通过配置寄存器的 nDE 位（1h;bit-10）进行选择，当器件处于 DDR 模式时，地址为 1h，bit-8 必须设置为 0b
DDR 时钟相位	不可选（相位只能为 0°）	通过配置寄存器的 DCP 位（1h;bit-11）来选择
SDR 数据在 DCLK 的上升沿或者下降沿传输	当第 6 引脚为高时，SDR 数据在 DCLK+的上升沿进行传输；当第 6 引脚为低时，在下降沿传输	通过配置寄存器的 OE 位（1h;bit-8）进行选择
LVDS 输出电压	当第 5 引脚为高时，正常的差分数据以及 DCLK 的幅度将会被选择；当第 5 引脚为低时，输出的幅度都会减小	通过配置寄存器的 OV 位（1h;bit-9）来进行选择
上电校准延时	当引脚 141 为低时为短延时；141 引脚为高时，选择较长的延时	只有短延时
全摆幅范围	通过第 16 引脚可选幅度（650mV _{P-P} 或 870mV _{P-P} ）；所选择的范围对所有的通道都有效	最多可以对于一个正常的范围进行 512 步的调整；通过输入全摆幅调整寄存器（3h;bits-7~15）进行选择

输入失调调整	不可以	通过输入失调寄存器（2h;bits-7~15）可以进行最多 512 步的调整
双边采样选择	通过第 141 引脚使能	通过 DES 使能寄存器使能
双边采样输入通道选择	只有 I 通道的输入被使用	I 或者 Q 通道的输入都可以被所有的 ADC 所采样
DES 采样时钟调整	时钟相位自动进行调整	可以通过设置 DES 使能寄存器（Dh）的第 14 位选择自动时钟相位控制，时钟相位还可以通过粗调和细调寄存器（Eh 和 Fh）进行手动调整

扩展控制模式在上电复位时的默认状态（由器件内部执行）如表 3 所示：

表 3 扩展控制模式操作（第 16 引脚浮空）

功能	扩展控制模式的默认状态
SDR 或 DDR 时钟	DDR 时钟
DDR 时钟相位	数据在 DCLK 的边沿（0° 相位）传输
LVDS 输出幅度	正常幅度（710mV _{p-p} ）
校准延时	短延时
全摆幅范围	所有通道均为正常的 700mV
输入失调调整	每个通道都不进行调整
双边采样（DES）	不使能

1.3 串行接口

由三个引脚组成的串行接口仅在扩展控制模式下起作用，包括串行时钟（SCLK），串行数据（SDATA）和串行接口片选（SCS）。八个只写寄存器与之相连。

SCS：在通过串行接口访问寄存器的时候，SCS端必须为低电平。相对于 SCLK 的建立和保持时间必须要注意。

SCLK：从 SCLK 的上升沿开始读入数据。

SDATA：每个寄存器的访问需要一组指定的 32 位输入数据。这组数据包括头码，寄存器地址码和寄存器数值。数据从最高位开始移位，相对于 SCLK 的建立和保持时间要注意，具体参照时序图。

每个寄存器访问涉及到一组 32 位的数据，如图 5 时序图所示。头码为固定的 0000 0000 0001（十一个 0 和一个 1）。第一位为 0 时开始读入。接下去的 4 位为寄存器的地址码，用来写入寄存器地址，最后的 16 位为写入这些地址上寄存器的数据。不同寄存器的地址如表 4 所示。

对应写入寄存器的数据请参考 1.4 里的寄存器描述。

从第 33 个 SCLK 开始，寄存器读取立刻开始， $\overline{\text{SCS}}$ 应避免在读取寄存器地址期间反复变化。虽然不推荐，但是在扩展控制下， $\overline{\text{SCS}}$ 保持低电平是可以接受的。

注意：在 ADC 的校准阶段，串行接口不应使用，否则会降低芯片的性能，直到再次校准正确。对寄存器编程，会影响寄存器的访问时间，从而降低芯片的动态性能。

表 4 寄存器地址

四位地址		寄存器配置
二进制	十六进制	
0000	0h	×
0001	1h	系统配置
0010	2h	I 通道失调
0011	3h	I 通道输入摆幅
0100	4h	×
0101	5h	×
0110	6h	×
0111	7h	×
1000	8h	×
1001	9h	×
1010	Ah	Q 通道失调
1011	Bh	Q 通道输入摆幅
1100	Ch	×
1101	Dh	DES 使能
1110	Eh	DES 粗调
1111	Fh	DES 细调

1.4 寄存器详细描述

八个只写寄存器在扩展控制模式下提供了集中控制和设置的选择，而在普通控制模式下，不会有任何影响。下列的寄存器描述中包含了每个控制位上电复位后的状态。

系统配置寄存器

Addr: 1h (0001b)				W only (0xB2FF)			
D15	D14	D13	D12	D11	D10	D9	D8
1	0	1	DCS	DCP	nDE	OV	OE
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 必须为高电平。

Bit 14 必须为低电平。

- Bit 13 必须为高电平。
- Bit 12 DCS: 占空比稳定控制。为高电平时, 占空比稳定电路将被应用到时钟输入。为低电平时, 占空比稳定电路不起作用。
上电复位状态: 高电平
- Bit 11 DCP: 双通道时钟相位。只在双通道模式下有用。为低电平时, DCLK 边沿与数据总线边沿对齐 (“0°相位”)。为高电平时, DCLK 边沿与数据总线边沿相差 90°。
上电复位状态: 低电平。
- Bit 10 nDE: 双通道使能。为低电平时, 数据总线时钟工作在双通道状态, DCLK 的上升和下降沿都有数据输出。为高电平时, 数据总线时钟工作在单通道状态, 由 OutEdge 位来决定上升沿或者下降沿。
- Bit 9 OV: 输出电压。OV 位决定 LVDS 输出电压的幅度, 并且具有普通控制模式下 OutV 一样的功能。为高电平时, 标准输出幅度为 710mV_{P-P}, 而低电平时, 标准输出幅度为 510mV_{P-P}。
- Bit 8 OE: 输出沿。这位用来确定 DCLK 在单通道模式下哪个沿起作用, 并且具有普通控制模式下 OutEdge 一样的功能。为高电平时, DCLK+ 的上升沿起作用; 低电平时, DCLK+ 的下降沿起作用。
上电复位状态: 低电平
- Bits 7:0 必须都为高电平。

I 通道失调调整

Addr: 2h (0010b)

W only (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)		Offset Value				(LSB)	

D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

- Bits 15:8 失调值。转换器里 I 通道的输入失调, 可以通过这组码的设置获得线性和单调性的调整。00h 为 0 数值调整, FFh 为最大的 45mV 的失调数值调整。也就是说, 最小能获得每次 0.176mV 的单步调整值。

上电复位状态: 0000 0000 b

- Bit 7 符号位。低电平表示正值调整, 高电平表示负值调整。

- Bit 6:0 必须都为高电平。

I 通道全范围电压调整

Addr: 3h (0011b)

W only (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)		Adjust Value					

D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

推荐调整的范围为 0110 0000 0b 到 1110 0000 0b 之间，能获得最好的性能。比如，我们调整的范围控制在 15%，那么就有 5% 的余量留给转换器本身的偏差而减小溢出状况的发生。增益的调整不需要转换器重新校准。

Bit 6:0 必须都为高电平。

DES 使能

Addr: Dh (1101b)				W only (0x3FFF)			
D15	D14	D13	D12	D11	D10	D9	D8
DEN	ACP	1	1	1	1	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

- Bit 15 双边采样使能。为高电平时，进入双边采样模式。这种模式下，转换器通过时间交织模式采样和转换同样的模拟输入信号，实现两倍于输入时钟频率的采样频率。为低电平时，则工作在正常的双通道模式。上电复位状态：低电平。
- Bit 14 自动时钟相位控制。为高电平时，自动时钟相位控制功能启用。这种情况下，双边采样的手动粗调和细调被禁止。相位检测电路不断调整 I 通道和 Q 通道的采样时钟边缘以使他们的相位差为 180°。为低电平时，I 通道和 Q 通道之间的时钟相位差可以通过粗调和细调来手动调节（重要应用说明见 2.4.5）。**推荐自动调整模式。**

DES 粗调

Addr: Eh (1110b)				W only (0x07FF)			
D15	D14	D13	D12	D11	D10	D9	D8
IS	ADS	CAM			1	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

- Bit 15 输入选择。为低电平时，转换器的输入都从 I 通道读入。为高电平时，转换器的输入都从 Q 通道读入。
- Bit 14 调整方向选择。为低电平时，Q 通道的采样时钟不变，I 通道的采样时钟，应用编程的效果延时。为高电平时，I 通道的采样时钟不变，Q 通道的采样时钟，应用编程的效果延时。
- Bit 13:11 粗调值。每位码都能对 I 通道或者 Q 通道实现大约 20ps 的延时调整。000b 表示调整时间为 0。
上电复位状态：000b
- Bit 10:0 必须都为高电平。

DES 细调

Addr: Fh (1111b)				W only (0x007F)			
D15	D14	D13	D12	D11	D10	D9	D8
(MSB)				FAM			
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

- Bit 15:7 细调值。每位码都能对 I 通道或者 Q 通道（由 DES 粗调寄存器决定）实现大约大约 0.1ps 的延时调整。0000 0000 0b 表示调整时间为 0。
注意：和粗调一样，每个码能调整的延时，根据工作情况的不同，会略有偏差。
- Bit 6:0 必须都为高电平。

1.4.1 关于扩展模式下失调修正的注意事项

使用 I 通道或者 Q 通道的失调调整寄存器时，以下的一些情况需要注意到。对于失调调整值 +0000 0000 和 -0000 0000 来说，实际上并不一样。只改变符号位的情况下，最小一步的变化大概有 0.1LSB 的偏差，下图比较清楚的说明了这一点。

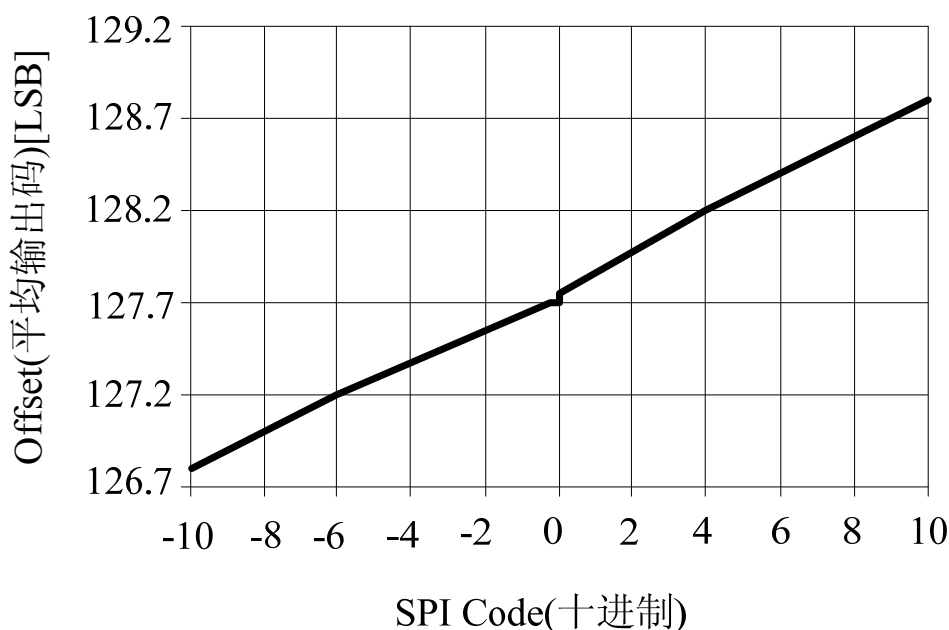


图 10 扩展模式的电路特性

1.5 多个转换器模块同步

MXT2001 可以通过用户提供的 DCLK_RST 脉冲，精确重置采样时钟输入和 DCLK 时钟输出的关系。这使得一个系统中几个转换器的 DCLK（和数据）相对于通用的 CLK 来说同时输出。

DCLK_RST 信号必须遵守一些时序要求，如图 6，图 7，图 8 所示。

DCLK_RST 信号能与输入时钟同步。如果 DCLK_RST 信号与输入时钟同步，DCLK 输出就会保持在某个指定状态。这个 DCLK 在复位期间被保持的状态由工作模式（单通道或者双通道）和 Output Edge 设置端或者位的情况决定（参考与 DCLK 复位情况相关的图 6，图 7，图 8）。因此根据是否加入 DCLK_RST 信号，在重置过程中，DCLK 可能会伴随一个窄脉冲。当 DCLK_RST 信号在与 CLK 上升沿同步的过程中无效的话，下个 CLK 的下降沿与 DCLK 的输出同步。DCLK 输出会在一个固定的延时（和输出时钟频率有关）之后重新有效，该延时等于 CLK 输入和 DCLK 输出之间的时间差（ t_{SD} ）。此延时特性在一般工作状态下都呈现。

当校准进行时（CalRun 为高电平），DCLK_RST 不应该为高，否则会在数字电路中出现一个数字干扰脉冲，导致校准的失效。

2.0 应用信息

2.1 参考电压

MXT2001 的参考电压由 1.254V 的带隙参考而得出，为了方便用户，将 31 引脚 V_{BG} 设为参考电压端。

输出具有 $\pm 100\mu A$ 的输出电流驱动能力，如果需要驱动更大的电流，则需要额外再加驱动器。

从带隙得到的内部参考电压的名义值为 V_{IN} ，由 FSR 引脚定义，其具体描述在 1.1.4 中。

不支持使用额外的参考电压，全摆幅输入电压可以通过在扩展控制模式下的配置寄存器进行调整。

差分输入信号应在选择的全摆幅范围内，并将会被数字化成 8 位。若信号超出全摆幅的范围，将会在输出端被滤掉。同时，这些超出范围的信号会激活 OR 输出，表示信号超出范围。详见 2.2.2 超出范围（OR）指示。

V_{BG} 引脚的另外一个额外的功能是它还可以提升 LVDS 输出的共模电压值。当 V_{BG} 引脚作为输出或者浮空时，输出失调电压（ V_{OS} ）的典型值是 800mV。为了提高 LVDS 的典型失调电压值到 1200mV， V_{BG} 需直接连接到供电电压上。

2.2 模拟输入

模拟输入可以是信号源通过 a.c.耦合或者 d.c.耦合的差分输入信号。在正常模式下，全摆幅输入范围可以通过 FSR 引脚进行选择，在转换器电学特性中有定义。在扩展控制模式下，全摆幅输入范围的选择则是通过串行接口对寄存器编程调整全摆幅电压而实现。为了在扩展控制模式下更好的调整输入全摆幅电压，需按照 1.4 的说明来限制调整的幅度。表 5 给出了当 FSR 引脚接高电平并且处于正常（非扩展）模式下时输入和输出之间的关系。当 FSR 接地时，表 5 中的电压值应减小为表中所示电压值的 75%。在扩展控制模式下，输入电压值则是由控制寄存器设置的全摆幅范围和失调所决定的。

表 5 差分输入和输出之间的关系（非扩展控制模式，FSR 为高）

V_{IN+}	V_{IN-}	Output Code
$V_{CM}-217.5mV$	$V_{CM}+217.5mV$	0000 0000
$V_{CM}-109mV$	$V_{CM}+109mV$	0100 0000
V_{CM}	V_{CM}	0111 1111/1000 0000
$V_{CM}+109mV$	$V_{CM}-109mV$	1100 0000
$V_{CM}+217.5mV$	$V_{CM}-217.5mV$	1111 1111

一般情况下，在采样 ADC 输入时要加 RC 电路驱动输入，经过缓冲的模拟输入可以简化这种情形。如果希望在 ADC 前面使用运放电路，需要仔细的选择噪声、偏差以及增益都满足性能的运算放大器。

需要注意的是，在 ADC 的输入端必须要提供一个精确的 d.c.耦合共模电压。当采用 a.c.耦合方式输入并且输入信号通过 a.c.耦合到 ADC 中时，共模电压 V_{CMO} 由芯片提供。

当输入为 a.c.耦合时， V_{CMO} 输出必须连接到地电位，如图 11 所示。这样片上的 V_{CMO} 将会通过一个片上的 50k 欧姆电阻连接到输入上。

注意：当输入为 a.c.耦合时，不使用的模拟输入通道（比如在 DES 模式下）应该浮空，不要把未使用的模拟输入端接地。

当使用 d.c.耦合方式时，必须要在差分输入端提供共模电平。此时的共模电平应跟踪 V_{CMO} 输出引脚，需要注意的是这时的 V_{CMO} 会随着温度而有所变化。器件驱动的共模电压将会跟随这个变化。

注意：当输入为 d.c.耦合时，不使用的模拟输入通道（比如在 DES 模式下）应该接在 V_{CMO} 上，不要将未使用的模拟输入接地。

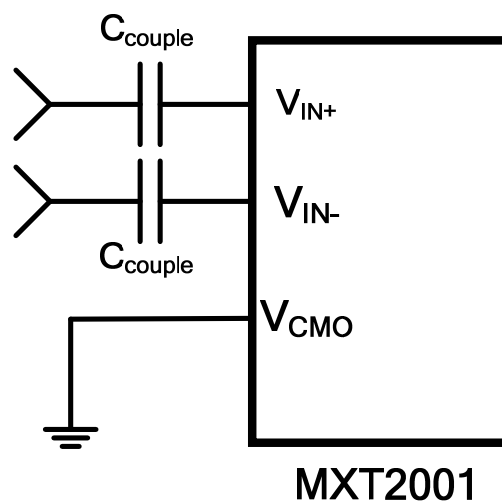


图 11 差分输入驱动

随着共模电压与 V_{CMO} 差值的增加，全摆幅偏移特性会快速下降。因此需要保持输入共模电压要在 V_{CMO} 的 50mV 范围内。

当所有的模拟输入共模电压保持在 V_{CMO} 的 50mV 范围内时，d.c.耦合与 a.c.耦合的性能几乎是一样的。

如果使用 d.c.耦合的方式，最好使用 V_{CMO} 引脚提供的输入共模电压，这样可以保持最优的性能。图 12 给出了一个典型电路的例子。

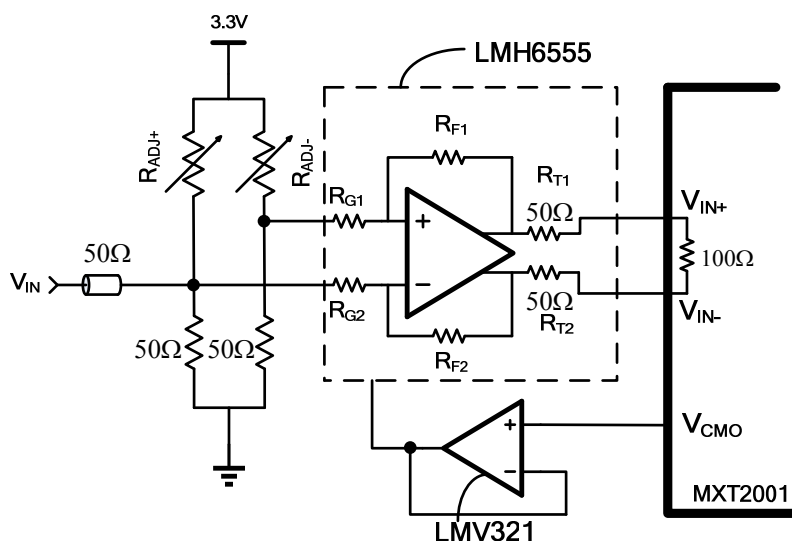


图 12 与 V_{CMO} 相连的模拟输入示例

注意应当确保 V_{CMO} 的输出电流不超过 100uA。

在 d.c.耦合方式 (V_{CMO} 不接地) 下，输入阻抗由在 V_{IN+} 和 V_{IN-} 之间的精确的 100 欧姆电阻和每个输入与地之间的电容所组成的。在 a.c.耦合模式下，输入阻抗也与 d.c.耦合模式的类似，只是在每一个模拟输入和 V_{CMO} 电压之间还有一个 50K 欧姆的电阻。

2.2.1 单端输入信号的处理

MXT2001 并没有规定如何处理单端输入信号。最好的方法是在输入到 ADC 之前将单端信号转换成差分信号。最简单的完成从单端到差分信号的转换方法是接入一个变压器的方法，如图 13 所示。

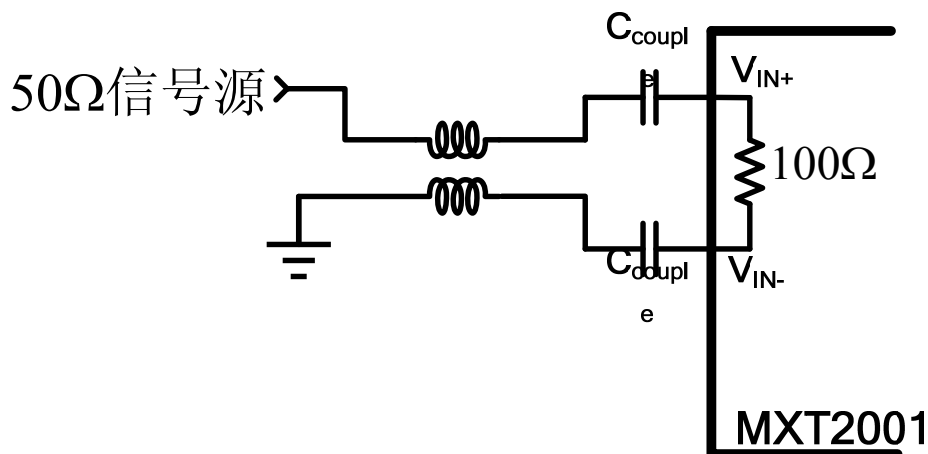


图 13 使用变压器实现单端信号到差分信号的转换

2.2.1.1 a. c. 耦合输入

最简单的从单端 a.c.输入到差分 a.c.信号转换的方法就是接入一个变压器，如图 13 所示。

在变压器输出终端放置的 100 欧姆电阻与 MXT2001 片上的 100 欧姆电阻并联，相当于在变压器的输出端有一个 50 欧姆的差分阻抗。

2.2.2 超出范围（OR）指示

当转换得到的结果超出输出范围时，将会激活 OR+变为高电平，而 OR-变为低电平。当一路或者两路总线输出超出 00h 到 FFh 的范围之后，此输出都会被激活。

2.2.3 全摆幅输入范围

MXT2001 的参考电压由内部的带隙参考所得。FSR 引脚可以控制 MXT2001 的有效参考电压，使得当 FSR 为高时，模拟输入的差分全摆幅输入为正常的幅度，而当 FSR 引脚为低时，输入全摆幅范围则变为转换器电学参数中所提到的较小的幅度。当 FSR 引脚为高时，可以获得较好的 SNR，然而，当 FSR 为低时，则会得到较好的 SFDR。

2.3 时钟输入

MXT2001 有差分 LVDS 时钟输入，CLK+和 CLK-，时钟输入必须由 a.c.耦合驱动一组差分时钟信号。MXT2001 可以确保在 1.0GHz 的时钟情况下可以获得较好的功能，同时只要满足转换器电学参数中的要求，此芯片都可以工作良好。输入时钟信号必须要通过电容耦合到时钟引脚上，如图 14 所示。

如果芯片工作的条件没有超过最大允许的温度，在典型情况下可以达到转换器电学参数中给出的最大采样频率。在给定的最大温度下，如果采样的速度过高，则有可能导致器件可靠性和产品的寿命下降。

差分输入时钟线应该有 100 欧姆的阻抗特性（当使用变压器时），输入时钟线应该尽可能的短。MXT2001 时钟输入内部有一个 100 欧姆的电阻。

输入时钟的幅度不够会导致较差的动态特性。过高的输入时钟幅度则会引起模拟输入失调电压的改变。为了避免此问题，保持输入时钟的幅度处在转换器电学参数中的范围内是非常必要的。

输入时钟信号维持低电平和高电平的时间比会影响 A/D 转换器的性能。MXT2001 内部存在时钟调整电路，甚至可以在 DES 模式下超出温度范围时仍然维持较好的性能。如同转换器电学参数表中的定义，若输入时钟高电平和低电平能够维持在（20/80%）的比例范围内，ADC 的性能就能够得到满足。

MXT2001 为高速、高性能的 ADC，其输入时钟信号需要很稳定，同时具有非常小的相位噪声和抖动。

输入时钟的幅度如果超出了转换器电学参数中给出的值，将会导致输入失调电压的快速增加。这样会导致到所有的输入引脚接相同的电位时，产生的输出码会超过 127/128。

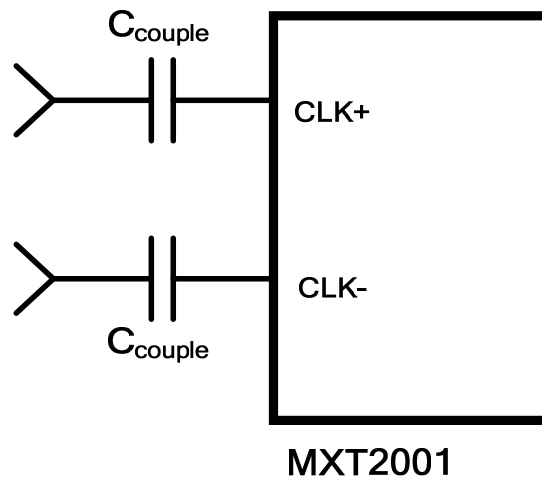


图 14 差分（LVDS）输入时钟连接

2.4 控制引脚

共有六个控制引脚（不包括使用串行接口）可以使 MXT2001 工作在比较广泛的范围和模式下。这些控制引脚分别提供全摆幅输入范围的设定、自校准、校准延时、输出沿同步选择、LVDS 输出幅度以及掉电模式功能等。

2.4.1 全摆幅输入范围

在正常工作模式下，全摆幅输入范围可以通过 FSR 控制输入（16 引脚）来选择。在扩展控制模式下，输入的全摆幅范围可以通过对全摆幅调节寄存器编程来得到。详见 2.2。

2.4.2 自校准工作模式

为达到设计的性能指标，MXT2001 必须要进行自校准。校准的过程既可以在上电之后马上启动，又可以在任何时候通过命令模式启动。当校准进行时，作为指示信号，CalRun 引脚一直为高电平。需要注意的是，当电路处于校准模式时，DCLK 不会产生任何信号，因此不推荐将 DCLK 作为系统时钟使用。

2.4.2.1 上电自校准模式

芯片上电之后，经过一段延时，将会进入到上电自校准状态。延时的时间是由 CalDly 所决定的。

在上电时，如果 CAL 引脚接高电位，则不执行校准过程。在这种情况下，只有当命令校准条件满足时，才会进入到校准模式。

内部上电自校准电路会在不确定的逻辑状态下产生。如果上电自校准电路被启动，而没有输入时钟信号时，将会使整个模拟电路进入到掉电模式下，芯片的整体功耗典型情况下会低于 200mW。当有时钟信号之后，功耗的消耗会变为正常。

2.4.2.2 命令校准模式

命令校准模式可以在正常（非双边采样）模式下的任何时候进行。而当 ADC 工作在自动双边采样（DES）模式下，不要进行校准。

当 ADC 工作在 DES 模式下时，若要进入到校准模式，必须要在命令校准开始之前将 ADC 设置到正常模式下。在校准完成之后，再重新设置到自动 DES 工作模式下。

为了初始化一次命令校准，需要对 CAL 引脚进行设置，首先要使此引脚保持最少 $t_{\text{CAL_L}}$ 个时钟周期的低电平，之后再保持最少 $t_{\text{CAL_H}}$ 个时钟周期的高电平。在上电时保持 CAL 引脚为高将会阻止进行上电自校准，直到 CAL 引脚先保持最少 $t_{\text{CAL_L}}$ 个时钟周期的低电平，之后再保持最少 $t_{\text{CAL_H}}$ 个时钟周期的高电平之后才会进行校准。当 CAL 引脚变为高，并且保持 $t_{\text{CAL_H}}$ 个时钟周期以后，校准才会开始。在校准过程中需要监测 CalRun 信号以确定校准是否完成。

所给出的最小 $t_{\text{CAL_L}}$ 和 $t_{\text{CAL_H}}$ 个时钟周期是必须要满足的，因为这可以确保校准不会被随机的噪声信号所触发。正如 1.1.1 中所描述的那样，为了获得更好的性能，在上电或者工作的温度发生比较大的改变时，应该执行 20 秒或者更长时间的自校准。ENOB 会随着结温的增加而降低，而自校准则会消除这个变化。如图 15 所示的第一个例子，采样时钟为 1GSPS，I 通道的输入为全摆幅的 749MHz 信号，在没有进行校准之前，结温 (T_J) 从 65°C 增加到 125°C 时，ENOB 会有所下降。当在 125°C 时使用命令校准可以消除 ENOB 的降低。当然，如果设计需要，还可以进行更多次的校准。如图 16 所示的第二个例子，测试方法是一样的，只是 I 通道的输入信号变为 249MHz。ENOB 随 T_J 变化的关系与前面的例子相比范围比较小，而且通过在最大测试温度下执行命令校准再次的被消除掉。

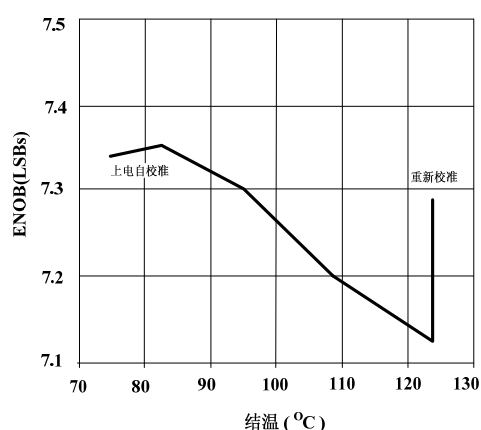


图 15 ENOB 与结温的对比，
输入频率为 749MHz

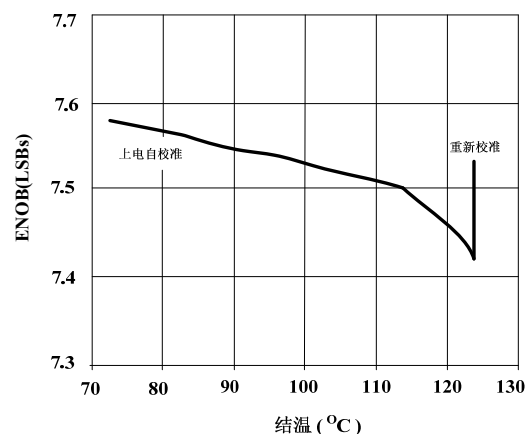


图 16 ENOB 与结温的对比
输入频率为 249MHz

2.4.2.3 校准延时时间

CalDly 输入引脚用来选择上电之后开始进行自校准的两种不同的延时时间。校准延时是用来保证电源可以正常并且稳定供电，使整个电路可以正常工作的。如果没有延时或者延时时间不够长，会出现在电压没有彻底稳定之前就开始校准的现象，从而会导致校准的系数不是最优的。如果 PD 引脚在上电时为高电平，则校准延时计数器不会工作，直至 PD 变为低电平才会开始工作。因此，在上电时保持 PD 引脚为高电平可以进一步延迟上电校准开始的时间。CalDly 引脚如何

设置完全依赖于供电电压建立的时间。需要注意的是在扩展控制模式下，校准延时是无法选择的，器件直接选择较小的延时时间。

2.4.3 输出沿同步

DCLK 信号可以用来使转换器输出数据和外部电路同步。输出数据可以和这些 DCLK 信号的上升沿或者下降沿同步，因此两个沿都可以用来同步输出数据到接受的电路。

当 OutEdge（第 6 引脚）为高时，输出数据与 DCLK+（第 92 引脚）的上升沿同步。当 OutEdge 为低时，输出数据与 DCLK+ 的下降沿同步。

在 MXT2001 能够工作的高速状态下，DCLK 和数据的微小误差，就意味着数据捕获的成与不成。OutEdge 端用来在 DCLK 的沿采集数据，这样对于芯片应用和布板来说也比较合适。

2.4.4 LVDS 输出电压控制

输出电压可以通过 OutV 端进行二选一。当 OutV 为高时，输出有较强的驱动能力，但是功耗相对较大；OutV 为低时则相反。但是低输出电压意味着较差的抗噪性。

对于较短的 LVDS 走线和噪声较低的系统来说，使 OutV 为低能获得较好的性能。如 LVDS 走线较长或者系统噪声较大，或者两种情况都存在，那么 OutV 端有必要接到高电平。

2.4.5 双边采样

双边采样时，两对输入信号中的其中一对直接输入到两路转换器里。在某个时钟沿（占空比调整过）时，一路转换器采入输入信号；在另外一个时钟沿（占空比调整过）时，另外一路转换器采入输入信号。这样就相当于达到四倍输出数据，也就是两倍输入时钟频率的采样频率。

在未增强控制模式中要用到这个特性，需要让第 141 引脚悬空，那么 I 通道的输入信号就会被采样到各个转换器中。然后校准延时就会只是一个很短的延时。

在增强控制模式中，每个输入通道的信号都会在双边采样中被采到。详见 1.1.5.1。

注意：

- 1) 扩展控制模式——当在双边采样模式中采用自动时钟相位控制特性时，如果转换没有工作，那么自动相位控制不起作用（也就是将地址为 Dh 的双边采样使能寄存器中的 bit14 置为低电平）。否则可能会导致转换器无法正常工作。
- 2) 非扩展控制模式——当 MXT2001 正常工作，且采用双边采样模式时，必须确保第 141 引脚（CalDly/DES/SCS）在电路正常工作或者恢复正常工作后，初始状态是被拉低的。然后第 141 引脚可以悬空或者接到一个 $V_A/2$ 的电位，从而进入双边采样模式。这样能确保这部分电路正常进入双边采样模式而不出错。
- 3) 不管输入时钟因为什么原因中断或者停止，自动相位控制功能都会失效。当时钟频率突然发生较大变化的时候，也会导致这种失效的发生。
- 4) 如果在自动双边采样模式中需要对转换器进行校准，那么在进行校准前，

必须使工作状态回到正常工作模式。一旦校准完成，立刻又能回到自动双边采样模式并且继续工作。

2.4.6 掉电特性

控制掉电的引脚（PD 和 PDQ）能使 MXT2001 整个芯片进入休眠状态，也可以只让 Q 通道进入掉电状态而 I 通道仍然正常工作。详细掉电特性描述见 1.1.7。

当控制各个通道 PD 端为高时，数字数据（+/-）输出端为高阻态。当回到正常工作状态时，流水线中会包含一些没用的信息，需要被处理掉。

如果 PD 端在校准进行的过程中被拉高，那么芯片将会在校准结束后才进入掉电状态。但是，如果 PD 先变高的话，那么校准就不会进行，直到 PD 变低。如果在掉电情况下，手动进行校准是无法实现的。也就是说，在掉电状态下，手动进行校准是完全被忽略的。

2.5 数字输出

对于每个芯片里的两路转换器，分别都有两路 LVDS 输出总线（总共四路总线，每个通道两路）。对于每个转换器连续转换的结果，如果是在 CLK+ 端的奇数个下降沿，那么占用其中一条 LVDS 总线，在 CLK+ 端的偶数个下降沿，则占用另外一条 LVDS 总线。即每条 LVDS 总线的出数据率为 MXT2001 输入时钟频率的一半，这两条总线的数据必须交叠复用，才能实现 1GSPS 的转换速度。

由于芯片推荐的最小输入时钟频率为 200MSPS（正常非双边采样模式），那么对于两个 LVDS 其中之一来说，只要低到 100MSPS 的频率和 200MHz 频率的输入时钟，就能达到 200MSPS 的数据频率。

一对 LVDS 输出时钟(DCLK+/-)用来使 LVDS 输出和总线匹配。OutEdge 端决定了数据是从 DCLK 的上升沿还是下降沿传输。具体描述见 2.4.3。

DDR 模式下也可以这么做。在 DDR 模式下，每个 DCLK 沿的数据都被传输，这样能使 DCLK 的频率降低到 1/4 的输入时钟频率。详细描述见时序图。

OutV 端用来设定 LVDS 的差分输出电压。详见 2.4.4。

输出格式为带偏差的二进制。因此，当全范围输入为 V_{IN+} 相对于 V_{IN-} 为正时，输出二进制包含所有可能；当全范围输入为 V_{IN+} 相对于 V_{IN-} 为负时，输出都为 0；当全范围输入为 V_{IN+} 和 V_{IN-} 相等时，输出码为 127 或者 128。

2.6 电源考虑

A/D 转换器会产生许多瞬态电流，如果没有充分的旁路泄放，会严重的影响电源。在 A/D 转换器的电源引脚处应放置一个 $33\mu F$ 的电容，其尺寸应小于一英寸（2.5cm）。尽可能的在每一个 V_A 引脚处放置一个 $0.1\mu F$ 的电容，其尺寸最好控制在 0.5 厘米内。由于贴片电容有较低的电感，推荐采用贴片电容。

芯片中的多个 V_A 和 V_{DR} 引脚之间应相互隔离，可防止与 ADC 模拟部分之间的相互耦合带来噪声。当这些引脚采用一个共有源时，推荐采用例如 JW Miller FB20009-3B 等铁酸盐阻隔。

作为高速转换器，MXT2001 应有较小的电源噪声。在系统中采用的多个数字电源不能作为数字电路的电源电压。若没有单独提供，ADC 电源应与其它模拟电路中的电源电压相同。

2.6.1 电源电压

MXT2001 的电源电压设计为 $1.9V \pm 0.1V$ 。非常重要的一点是转换器可以在采用略高的电源电压下工作，但是这可能会降低产品的寿命。

没有引脚可以具有超过电源电压或者低于地 $150mV$ 的电压，包括瞬态值在内。当电源上电或者电源关闭时，这可能会带来影响。这需要确保 MXT2001 中电源电压驱动的输入引脚、模拟或数字引脚等电路，其上电速度不能超过其电源引脚的上电速度。

不管是在上电或者关闭时，绝对最大值应进行严格测量。电源电压若在电源开启或者关闭时产生毛刺，将会毁坏 MXT2001。图 17 中的电路提供了电源超压保护。

除非使用最小负载，否则线性校准仪在上电时将会制造输出尖峰。在电源电压达到几百毫伏之前，器件也会产生非常微小的电流。不采用最小的电源负载，由之产生的开启毛刺能够将 MXT2001 毁坏。在线性校准的输出端采用 100Ω 的电阻，在上电时产生一个最小的输出电流，以确保没有开启毛刺。

在图 17 的电路图中，输入电源电压在 $4V-5V$ 之间时，推荐采用 LM317 线性校准仪。如果输入电压为 $3.3V$ 时，推荐采用 LM1086 线性校准仪。

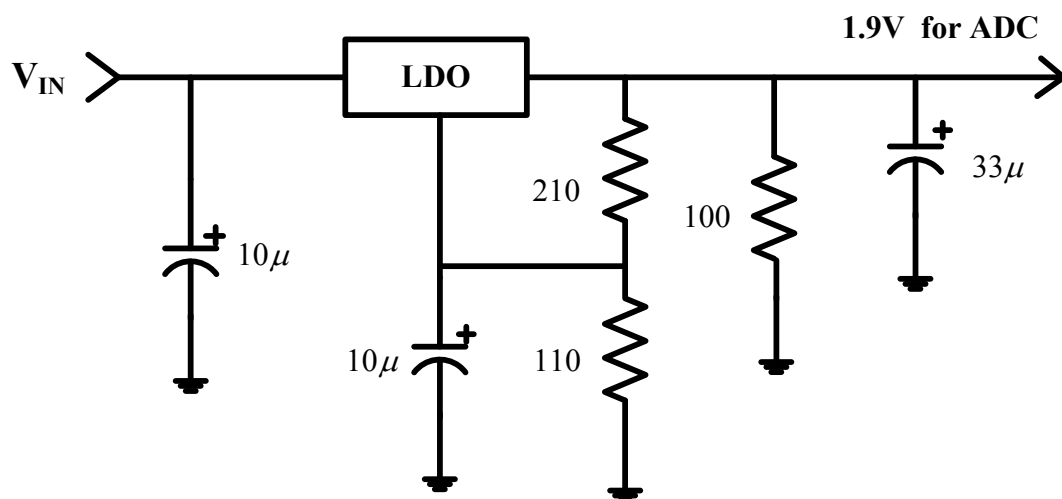


图 17 无毛刺供电电源

输出驱动部分需要供电电压 V_{DR} ，在工作条件说明中对其有范围的详细定义，其值不应超过 V_A 提供的电压。

如果转换器没有输入时钟信号，此时器件产生的电流应该低于 $200mA$ 。这是由于 MXT2001 需要通过时钟逻辑进行复位，确定其初始状态。如果复位逻辑在“开始”状态时启动，这会关闭大多数模拟电路的电源，此时产生的电流小于 $100mA$ 。由于在没有输入时钟信号时，并不是所有的 ADC 都处于电源关闭状态，此时器件产生的电流要大于电源关闭时的电流。当时钟信号建立后，器件产生的电流将会处于正常状态。

2.6.2 热管理

MXT2001 在极低功耗的条件下，具有令人深刻的速度和性能表现。但其产生的功耗仍相对高，需考虑热管理。按照可靠性的要求，芯片的温度应不超过 $130^{\circ}C$ 。也就是说， T_A (环境温度) 加上 ADC 的功耗乘以 θ_{JA} (连接环境热电阻) 不

能够超过 130°C 。如果环境的温度不超过 85°C ，将不会超过上述限制，这一点在“推荐工作条件”一节中有详细定义。

为方便用户的使用，MXT2001 集成了一个热二极管，以用于温度测量。但是此二极管并没有被参数化，不能得到此二极管参数的有关信息，也不能够确定使用该二极管进行温度测量时的准确性。

为了最小化连接处的温度，推荐在 PCB 上增加一个简单的散热器。可以通过在 PCB 的另一侧增加一处约 2 平方英寸（6.5 平方厘米）面积的铜区域。该铜区域可以采用镀金或者涂焊料的方式以防止腐蚀。不要采用正方形的覆盖，防止带来热绝缘效应。热接口连接这些顶层和底层的铜区域，这些热接口作为“热管子”将热能量从板上器件端的热量转移到板的另一端，可以非常有效地消除热量。推荐采用热接口的数目为 9 到 16 之间。

热接口应放置在孔径间 1.2mm 的距离内，其直径应在 0.30 到 0.33mm 之间。这些接口应桶式镀金，以避免焊接灯芯材料在焊接过程中进入到接口内，这些灯芯材料会使封装外置 PAD 和 PCB 上热阻区之间的焊接失效。这些失效会增大器件和板上热岛的热电阻，这将会升高器件运行时的温度。

如果希望检测芯片的温度，可在热接口附近的板上散热器上，增加一个温度传感器。允许在温度传感器和 MXT2001 芯片的 θ_{J-PAD} 乘以典型功耗间存在温度偏差的值，其值为 $2.8 \times 1.6 = 4.5^{\circ}\text{C}$ 。增加 1°C 的附加值，允许芯片到温度传感器的有 5.5°C 的下降。

2.7 版图和地线

合理的地线和所有信号合理的路径是确保精确转换的基础。不应将模拟和数字区域的地线平面分割，而应采用一个完整的单端地线平面。

由于数字开关瞬态组成了多数高频率成分，由外壳效应可知，整个地线使用铜平面会有很少的逻辑集成噪声。整个表面的面积比整个地平面的体积更重要。在数字电路和敏感模拟电路之间的耦合会使得性能变差，而且看起来很难隔离和修补，这可以将模拟电路和数字电路完全分离来解决。

高功率数字部分不应该位于或临近任何线性部分或者电源电压线或平面，将模拟或者混合数字部分作为共有返回电流路径，将会在 ADC 输出为“地”返回时产生波动，会在转换结构中带来明显的噪声。

一般来说，我们假设模拟和数字的底线，应相互交叉 90° ，以避免在模拟路径上得到数字噪声。在非常高频率的系统内，需要避免将模拟线和数字线完全交叉。输入时钟应该与所有数字和模拟的线相隔离。一般的 90° 交叉，需避免小的耦合也可能在高频率下带来的问题。若想要实现在高频下的最好性能，可以通过一条直线路径得到。

模拟输入应同信号路径应同噪声信号之间隔离，以避免将伪信号耦合到输入端。非常值得注意的是，MXT2001 需要低电平驱动。转换器的输入和地之间通过许多外在组件（例如滤波电容）相连，需要在模拟地平面上连接一个非常干净的点。所有的模拟电路（输入放大器，滤波器等）需要与数字部分之间相隔离。

2.8 动态性能

MXT2001 经过交流测试，转换器的动态性能是有保证的。为了满足说明书中的性能指标及减小抖动噪声，驱动时钟输入的时钟源必须具有低的抖动。时钟频率及电平所允许的抖动范围见 2.3 部分。

应尽量保证 ADC 输入时钟的路径尽量短，为了保证时钟信号的良好，应尽量保证时钟信号线远离其它信号，并把它作为传输线。其它信号会导致时钟信号的抖动。如果不做好时钟信号的隔离，时钟信号会在模拟信号路径上引入噪声。

2.9 串行接口使用

MXT2001 可工作在非扩展模式（非串行接口）或扩展模式。表 6 和表 7 分别描述了引脚 5，6，和 141 在非扩展模式和扩展模式的功能。

2.9.1 非扩展模式工作

非扩展模式工作意味串行接口未被激活，所有控制功能随配置引脚变化而变化。这些控制功能包括满量程范围、单端输入、差分输入、上电校准延迟、输出电压、输入耦合（交流或直流）。当引脚 16 为高或低时，芯片被设置为非扩展模式；相反则让该引脚浮空。表 6 为 MXT2001 在非扩展模式的引脚功能。

表 6 非扩展模式工作（引脚 16 为高或低）

引脚	低	高	浮空
5	减小V _{OD}	正常V _{OD}	/
6	输出沿=负	输出沿=正	DDR
141	校准延迟变短	校准延迟变长	/
16	减小V _{IN}	正常V _{IN}	

非扩展模式引脚 5 即可以为高也可以为低。引脚 16 一定不能浮空。若想了解更多内容，参见 1.2 正常/扩展模式。非扩展模式引脚 6 可以为高，可以为低，也可以浮空。引脚 6 为高或低定义输出数据传输沿。具体方式，详见 2.4.3 输出沿同步。当此引脚浮空时，输出时钟（DCLK）为 DDR 模式（见 1.1.5.3 双倍数据率）。由于 DCLK 为双沿采数，所以输出沿同步无关。引脚 141 设置校准延迟。浮空时，此引脚无功能。

表 7 扩展模式工作（引脚 16 浮空）

引脚	功能
5	SCLK（串行时钟）
6	SDATA（串行数据）
141	\overline{SCS} （串行接口片选）

2.10 常见错误使用

输入驱动（模拟或数字）超出电源范围 为了器件可靠性，不要将输入超过地或电源 150mV。一旦有输入端超过此限制电压，不仅仅导致器件失效或错误工作，还会削弱器件的可靠性。对于高速数字电路，过冲电压很普通。控制高速传输线的阻抗和终结传输线阻抗可以控制过冲。

注意不要超过 MXT2001 的输入电压范围，否则会导致转换器错误工作，甚至毁坏器件。

直流耦合模式下非正确模拟共模电压 如 1.1.4 和 2.2 所述，共模输入电压必须控制在与 V_{CMO} 输出电压 50mV 以内，并且该电压要随着温度的变化跟随 V_{CMO} 。

如果共模输入电压与 V_{CMO} 电压超过 50mV，会导致器件性能降低。

使用不合适的放大器驱动模拟输入 当选择过高频率的放大器驱动 MXT2001 会导致器件谐波失真增大，使系统性能降低。

改变参考电压源驱动 V_{BG} 引脚 如 2.1 部分所述，对于提供的两个满量程范围值，参考电压可以改变一个。改变这个引脚不会改变满量程的值，但通过将 V_{BG} 连接到电源上，可将 LVDS 的共模电压从 0.8V 改变到 1.2V。

使用过高电平驱动时钟输入 转换器的时钟输入电平不应超过在工作速率表中所描述的电平，但输入偏置可以改变。

不合适的时钟输入电平 如 2.3 部分所述，无效的时钟电平，较差的转换器性能；过高的电平会引入输入失调。

使用过多抖动的时钟源，使用较长的时钟信号路径，伴有其它信号耦合的时钟信号 这会引起内部采样变化，引起额外的输出噪声，减小信噪比。

2.11 典型应用

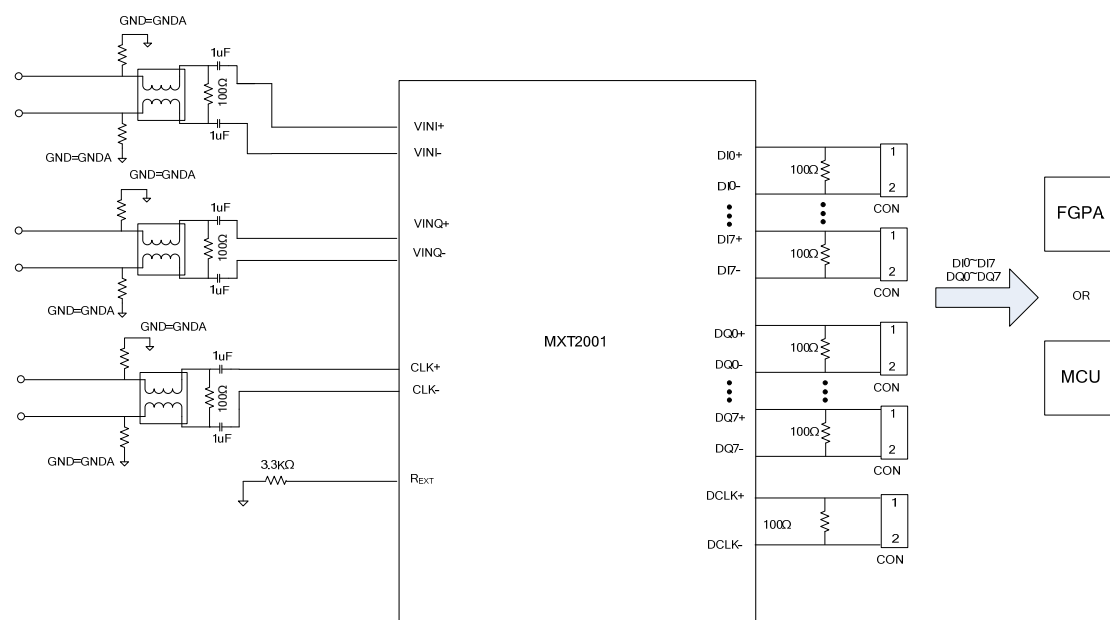


图 18 典型应用配置

一种 MXT2001 的典型应用配置如图 18 所示。两个通道的差分输入信号 VINI、VINQ 以及差分时钟信号 CLK 均经变压器输入，并在传输路径上连接 1uF

的电容和 $100\ \Omega$ 的电阻。定义的电阻 R_{EXT} 大小为 $3.3K\ \Omega$ ，数据输出时钟信号 DCLK 采用 $100\ \Omega$ 电阻连接。MXT2001 的输出为 DI0~DI7，DQ0~DQ7，每一组差分输出之间均通过 $100\ \Omega$ 电阻连接。其输出可与 FPGA 或 MCU 等外部功能器件相连接，以组成相对的应用系统。采用的电阻的误差应控制在 0.1% 之内。

eB	21.15	——	21.40
L	0.45	——	0.75
L1	1.00BSC		
θ	0	——	7°
载体尺寸	216*216		