

HP3458A $8\frac{1}{2}$ 位数字多用表的

模拟——数字转换器(ADC)

天津市中环科学仪器公司 顾启九 译

摘要 $8\frac{1}{2}$ 位积分式 A-D 转换器,能以 16 位 (Bits) 精度每秒转换 10 万次。这种积分型 ADC 使用多斜率上斜,多斜率下斜积分和一种两输入结构实现所需的速度、分辨率和线性。

为 HP3458A 数字多用表所设计的 ADC 需要满足系统设计的一系列高指标要求。如,自动较准要求 ADC 具有 $8\frac{1}{2}$ 位 (28 位二进制) 分辨率和 $7\frac{1}{2}$ 位 (25 位二进制) 的线性,数字交流测量技术要求 ADC 以 18 位 (bits) 分辨率每秒进行 5000 次转换。

众所周知,积分型 ADC 能进行高分辨率测量,但速度相当慢。在 HP3458A 开始设计时,HP3456A 中的 ADC 是已知最快的积分型 ADC。它采用多斜率技术,每秒可进行 330 次测量。HP3458A 的 ADC 也采用多斜率技术,但已有重大改进,实现了前所未有的高速度 and 高分辨率。从 16bits 精度每秒 10 万次转换,到 28bits 分辨率每秒转换 6 次,除高分辨率外,ADC 还具有很高的线性,偏移小于输入的 0.1ppm。

多斜率是一种通用 ADC 技术,使用同一个电路,可获最佳的速度和分辨率的折中组合。只要首先搞清它的前身——双斜率,就不难理解多斜率。

双斜率 ADC 技术

双斜率是简单的积分型 ADC 算法,图 1 表示实现双斜率 ADC 的简单化电路。

将积分电容 C 短路,可使双斜率积分电路的起始状态为零电压。 $t=0$ 时,开关 SW1 在固定时间 t_0 内闭合。未知输入电压 V_{in} 加到电阻 R 上,此时 V_{in} 被积分,并称为上斜 (Runup) 积分,在上斜积分结束 (即 SW1 打开) 时,积分器输出 V_0 为:

$$V_0(t_u) = -(1/RC) \int_0^{t_u} V_{in}(t) dt$$

V_{in} 为常数时

$$V_0(t_u) = -(1/RC)V_{in}t_u$$

其后,开关 SW2 闭合,将与 V_{in} 极性相反的已知参考电压连到同一个电阻 R 上,计数器同时开始计数,当积分器输出过零时停止计数,这一部分称为下斜积分,最终计数值与未知输入成正比。

$$V_0(t_2) = V_0(t_u) - (1/RC)V_{ref}t_d = 0$$

此处 t_d 是完成下斜积分所需的时间。

$$\text{即 } t_d = t_2 - t_u$$

$$V_{in} = -V_{ref}(t_d / t_u)$$

令 N_u 为信号(上斜)积分期间所计的时钟周期(T_{ck})数, N_d 为参考(下斜)积分期间所计的时钟周期(T_{ck})数,消去时间 T_{ck} ,可得

$$V_{in} = -V_{ref}(N_d / N_u)$$

双斜率 ADC 的优点是对电路参数不敏感,在最后所得的公式中, R, C, T_{ck} 已全消去。双斜率 ADC 的另一优点是在所设计的一个电路中,速度和分辨率可互为折中。如上斜信号积分时间缩短,分辨率就降低,但测量所需时间可以减小。

双斜率 ADC 方案的问题是,它的速度和分辨率是受限制的。双斜率 ADC 进行一次测量所需的时间为: $T_m = 2T_{ck}M$ 。

T_m 为进行满刻度测量理论上所需的最短时间, T_{ck} 为 ADC 时间周期, M 为满刻度测量时计数值。如时钟频率为 20MHz,以 10 000 计数分辨率进行一次测量,至少需要 1ms 时间。

双斜率 ADC 的分辨率受电路宽带噪声和积分器最大电压摆幅 (约 ± 10 伏) 的限制,电路宽带噪声决定了能以多高的精度确定积分器交零点。若想以低于毫伏 (mV) 的电平检出过零点是很难的,因此,双斜率方案通常限制到 4~5 位的分辨率 (即 10V / 1mV)。

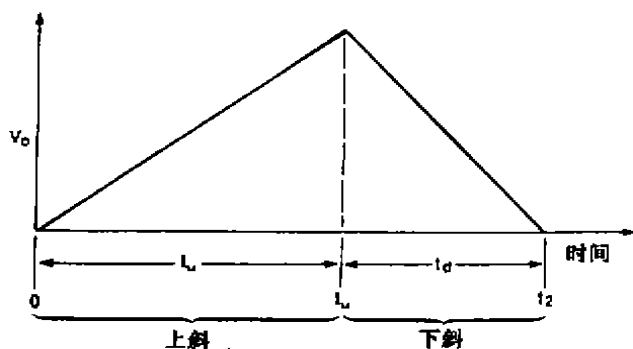
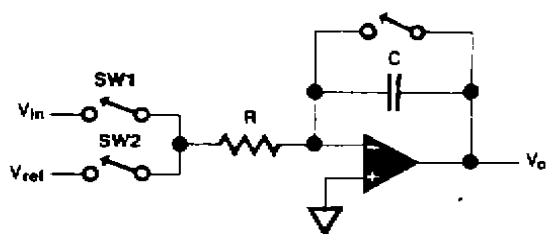


图1 双斜率积分型 ADC 电路和典型波形

改进型双斜率 ADC

如图 2 所示, 使用一对电阻、一只用于上斜积分, 一只用于下斜积分。则双斜率 ADC 的速度提高一倍是容易实现的。

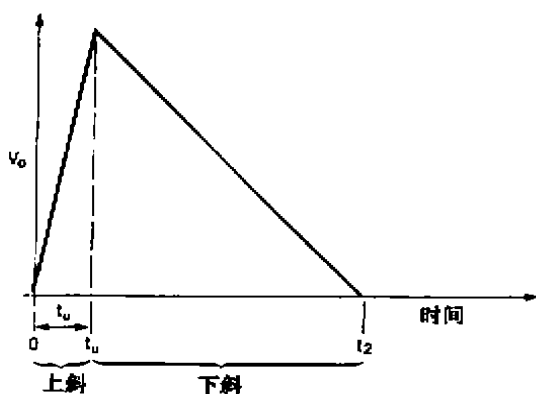
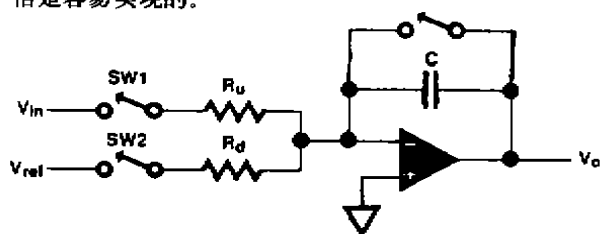


图2 改进的双斜率 ADC 电路用两只电阻, 一只用于上斜积分, 一只用于下斜积分

输入电压 V_{in} 连到 R_u , R_u 远小于 R_d , 下斜积分时参考 (V_{ref}) 接到 R_d 。这使上斜积分时间的缩短与两只电阻的比率成正比, 同时保持下斜积分分辨率不变。提高速度的代价是多用一只电阻 R_d , 速度与两只电阻比率有关。

$$V_{in} = -V_{ref} (N_d / N_u) (R_u / R_d)$$

由于电阻网络可具有很高的比率跟踪特性, 改进是很明显的。

多斜率下斜积分

上述改进型双斜率降低了上斜积分所需时间, 如用多斜率下斜则可降低下斜积分时间。单斜率方案是用一只电阻使积分趋向零; 多斜率方案用几只电阻向零逼近几次, 每一次都更精确地趋向零。一个斜率对另一斜率的比率是某一基数的幂, 如基数 2 或 10。图 3 表示以 10 为基数的多斜率电路, 此电路用 4 个斜率, 其权值分别为 1000, 100, 10, 1。每一斜率都以表征它的权和极性的名字命名, 例如, S1000, 为正斜率, 每时钟周期计数值 1000。-S100 是负斜率, 每个时钟周期计数-100。一个积分斜率当将电荷注入积分器时就作为正。作为反相电路的积分器, 正斜率积分时是在负方向上移动, 注意不要引起概念上混淆。

多斜率下斜是当最陡斜率开关 S1000 接通时开始积分的。这个积分斜率一直持续到积分器输出过零。一过零此斜率即断开, 下一斜率-S100 接通, 直到输出反向过零。其后是 S10, 最后是-S1。每一斜率所确定的积分器过零点都比前一斜率精确 10 倍。不难看到, 在此过程中, 每一斜率依次使下斜积分获得更精确的分辨率。

如果每一斜率都在过零的一个时钟周期内断开, 而每一随后的斜率需要 10 个或 10 个以下的时钟周期才过零, 理论上, 完成一个多斜率下斜积分的时间 t_d 为:

$$t_d < NBT_{ck}$$

N 为斜率数, B 是比率基数。实际上, 完成多斜率下斜的时间要长于 t_d 。因为并非总是能在过零后一个时钟周期内断开。鉴零的延时和对该斜率断开的响应延时, 使实际花费的时间为:

$$t_d < kNBT_{ck}$$

此处 k 为大于 1 的系数, 断开一个斜率的延时造成积分器输出的零点过冲。过冲每占用一个时钟周期, 其后的斜率都需要有 B 个时钟周期去克服这一过冲, 典型的 k 值范围从 2~4。图 3 所示的多斜率下

斜, 完成一次测量产生 10 000 个计数, 时间为 $4\mu\text{s}$, 假定时钟频率为 20MHz, $k=2$, 这比双斜率下斜快 125 倍。

选取最佳基数值, 使多斜率最佳化, 可使测量速度更快。上例中, 用基数 e , 下斜时间为 $2.5\mu\text{s}$ 。用基数 e 取代基数 10, 可使下斜测量速度增加 60%。

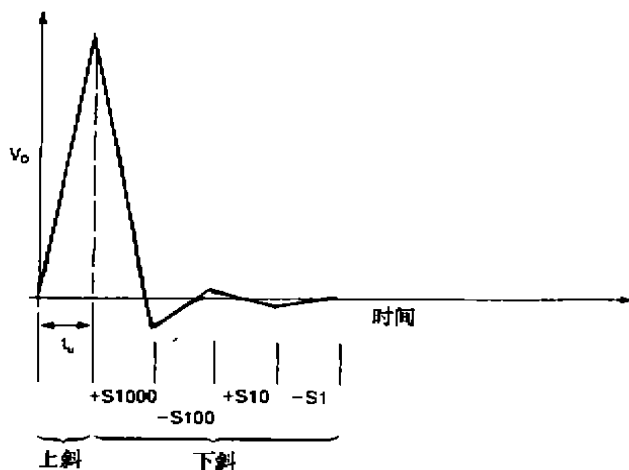
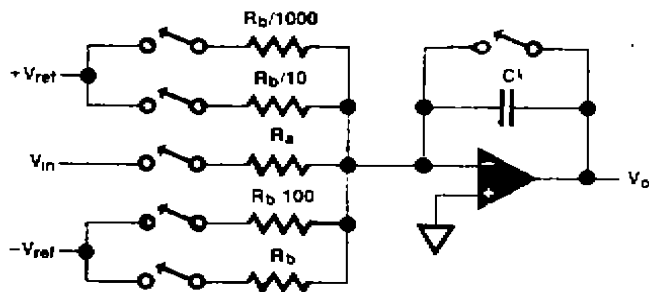


图3 基数为10的多斜率下斜积分电路

为实现多斜率下斜积分, 必须有一个电阻网络。构成此网络的几个电阻应具有精确的比率。最大比率误差是最陡的那个斜率的权的倒数。为确保 ADC 的线性, 这一比率误差应保持不变。如比率误差不大于 0.05%, 这一要求是容易实现的。多斜率技术还要求有复杂的电路去控制和累加测量。随着数字电路集成度增加和价格降低, 这一要求也容易实现。

多斜率上斜积分

多斜率上斜积分是双斜率上斜的修正, 目的是增加 ADC 的分辨率。如前述, 双斜率技术的分辨率受积分器输出电压最大摆幅和电路宽带噪声的限制。多斜率上斜允许 ADC 具有的等效电压摆幅远大于积分

器硬件实际能达到的极限。

这一技术就是在上斜期间周期性地以某一参考电压给积分器充电或放电, 使来自未知输入的电荷加上总的参考电荷不会大到使积分器饱和。计算出上斜期间传到积分器的总参考电荷量, 并将此量加到下斜积分结果中去, 获得的分辨率可以很高。图 4 为实现多斜率上斜积分的电路。

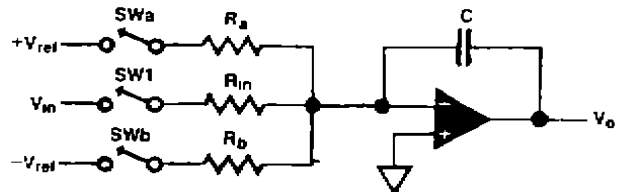


图4 多斜率上斜积分电路

在固定时间内, 将正参考电压加到电阻 R_a 或负参考电压加到电阻 R_b , 可精确地产生参考电荷量。

下表给出用图 4 电路得到的 4 种参考电流。

斜率名称	SWa	SWb	积分方向	电流
S_+	$+V_{ref}$	0	+	-1
S_{+0}	0	0	-	0
S_-	0	$-V_{ref}$	+	1
S_{-0}	$+V_{ref}$	$-V_{ref}$	-	0

正如多斜率下斜积分一样, S_+ 将电荷加到积分器, S_- 从积分器减去电荷。如果我们设计 S_+ , S_- 电流幅度相等, 并稍大于满刻度输入信号产生电流的幅度, 则参考电流一定能抵消由输入信号累加的电荷。因此, 通过周期性的检测积分器输出的极性, 并接通 S_+ 或 S_- , 以使积分器输出向零移动, 可以阻止积分器输出出现饱和。

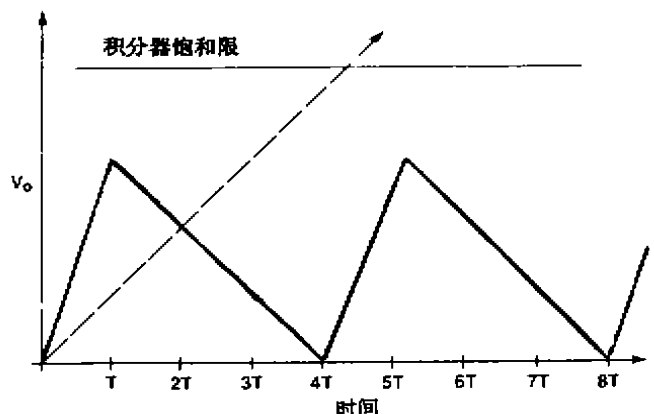


图5 多斜率上斜积分, 积分器输出波形, 点线表示积分器输出电压等效摆动范围

图 5 表示典型的多斜率上斜积分波形。点划线表

示等效电压摆幅,即无参考电荷注入积分器情况下的电压摆幅。积分器输出不超过饱和限,而等效的电压摆幅将超过此限。HP3458A 在 $8\frac{1}{2}$ 位转换时,具有 $\pm 120\,000$ 伏的等效电压摆幅,这意味着下斜积分需要分辨 1 毫伏,才能给出 $8\frac{1}{2}$ 位显示 (即 $120\,000\text{V} / 0.001\text{伏} = 120\,000\,000$ 计数)。

多斜率上斜积分比双斜率上斜具有两个优点:

(1) 上斜可在任何时间长度内连续进行,而不会出现积分器饱和。(2) 在上斜和下斜积分期间可达到所需的分辨率。HP3458A 在上斜积分期间求得前 $4\frac{1}{2}$ 位,而在下斜积分期间求得后 4 位,最终完成 $8\frac{1}{2}$ 位。

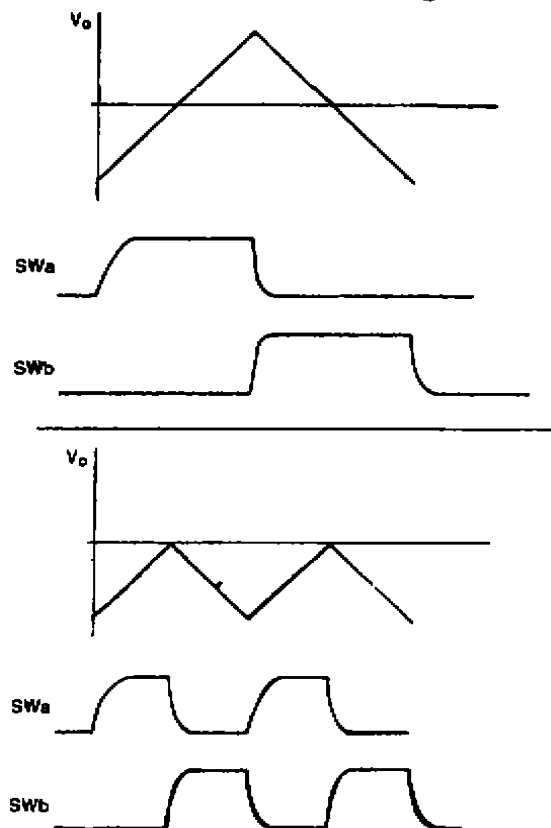


图6 理论上,这两个波形能将相等的电荷传入积分器,但由于开关瞬态响应的次数不同做不到,这一点

对任何 ADC 的主要要求是线性。上述方案,多斜率上斜积分可能不是线性的,这是因为在每个开关瞬间,都无法将预期的电荷传入积分器 (在上升及下

降沿口瞬间)。图 6 表示的两个波形传入积分器的电荷量应是相同的,但由于开关瞬态数不同,这是做不到的。

这个问题可以这样解决,不管输入信号多大,如果每进行一次 A-D 转换,每个开关工作次数固定不变,则开关瞬态期间传送的电荷可看作对整个转换读数造成的失调偏移。如能做到这一点,可以周期性地加入零输入,得到的结果就表征开关的综合失调偏移,其后对输入信号的每次转换结果都减去这个偏移,可很容易将开关瞬态误差去掉。由于开关上升、下降时间随温度漂移,从而引起瞬态失调也漂移,上述零测量必须周期性重复。

每次上斜积分,交替地加入 S_{+0} , S_{-0} , 可获固定的开关次数。图 7 表示,任意两个 S_{+0} 之间 4 种可能出现的积分模式。改变输入信号电压,将使积分在这 4 种模式间变化,但不管工作在那种模式,在第 1 个 S_{+0} 和 S_{-0} 积分期间,每个开关都动作一次且只动作一次,在 S_{-0} 和第二个 S_{+0} 之间,开关响应相反。

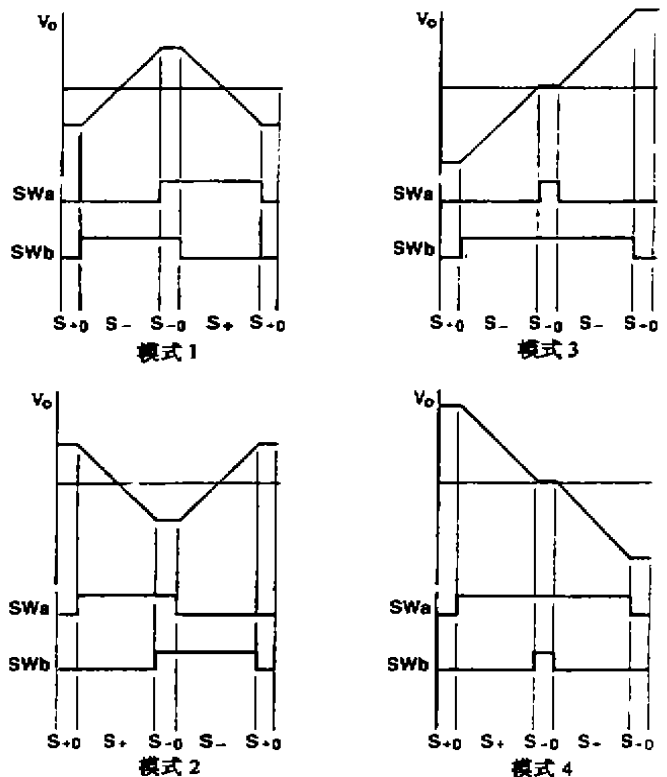


图7 保持开关响应次数固定不变的

多斜率上斜积分模式

多斜率上斜积分的工作是比较简单的。全部积分斜率与多斜率下斜积分的第一个斜率个具有相同的权

值。为实现上述算法,逻辑控制部分必须将反极性斜率加进去。

HP3458A 的 ADC 设计

HP3458A 的 ADC 部分的设计,就是依据上面介绍的多斜率 ADC 的理论,首先要确定如何控制 ADC,采用何种计数制,积分器的响应有多快,怎样保持线性最佳,注入积分器电流应取多大(即积分输入电阻值多大?)以及其他许多问题。这些问题的解决均受高速和高分辨率两个设计目标制约。如,为满足高速的要求,需要很陡的积分斜率;而斜率过陡,将使高分辨率测量时呈现出很大的非线性。

选取 ADC 下除积分的数制是较容易的。为获得高速,基数 e 是最佳选择,但累计出结果很困难,必须再转换成 2 进制。基数 2 和基数 4 都适用于 2 进制的系统,并与基数 e 接近。基数 2 和基数 4 的速度都相同,约比基数 e 慢 6%,但基数 2 要多用 2 倍的斜率才可达到同样的分辨率,因此最后选用基数 4,既达到所需的速度,硬件造价也最低。

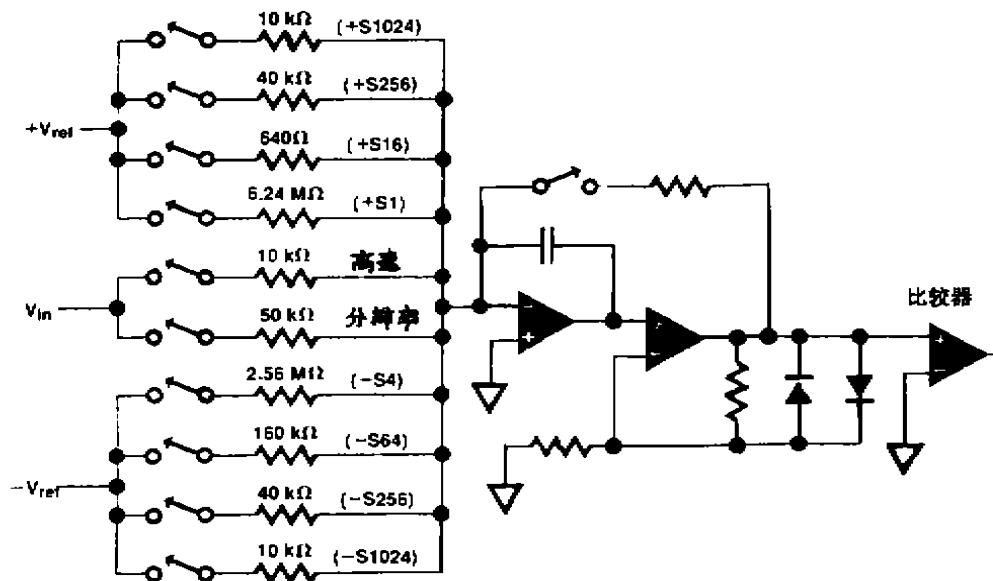


图 8 HP3458A ADC 简化电路

如图 8 所示,高速测量时,输入电压通过 $10\text{k}\Omega$ 电阻加入,使用 ADC 的最大积分斜率(电流 $> 1\text{mA}$)。当进行高分辨率测量时,输入电压由 $50\text{k}\Omega$ 电阻接入,所使用的最大积分斜率电流小于 1mA 。所选的最大积分斜率为 S1024,积分电流 1.2微安^{-1} 。这就得到总共 6 个斜率(S1024, S256, S64, S16, S4 和 S1),S1 电流为 1.2微安^{-2} ,S1024

通常用微处理器(μp)来控制多斜率 ADC。但 3458A 的高速度使这种选择受到限制。可以预料,ADC 的时钟频率必须为 $10\sim 20\text{MHz}$ 。这样高的速度,必须采用硬件。为此,选用门阵列逻辑工作在 20MHz 控制 ADC 的工作。ADC 控制和累加器功能要用掉 6000 个 CMOS 门阵列逻辑的一半,另一半用于定时和能触发器计数及 UART(通用异步接受发送)进行数据传送、发布命令,与保护外以地为参数的逻辑电路交换数据是通过光隔离进行的。

要精确地确定积分次数和每个积分斜率的电流幅度。如果斜率电流太大,会加重积分器运算放大器的负载,引起非线性,电流太小,开关和放大器泄漏电流将比最小斜率电流还大,积分器过零点的检出误差增加。为避免泄漏电流的影响,最小的积分斜率电流应大于 1微安 。通常认为几毫安的输入电流,可保持 5~6 位线性,而我们要求 1 毫安输入电流还要能实现 7~8 位的线性。换言之,为实现高速,输入电流要大于 1mA 。因此,本方案采用两输入结构,

和 S256 在多斜率上斜积分时使用。这两个斜率分别有两种极性,当输入通过 $50\text{k}\Omega$ 接入时,使用 $\pm\text{S256}$ 斜率(0.3mA);当输入通过 $10\text{k}\Omega$ 接入时, $\pm\text{S1024}$ 和 $\pm\text{S256}$ (总共 1.5mA 电流)两者并联。S256 斜率比满刻度电压通过 $50\text{k}\Omega$ 电阻输入的积分斜率陡 25%,这可防止积分器饱和。 $10\text{k}\Omega$ 输入比 $50\text{k}\Omega$ 输入电流大 5 倍,这样,通过采用 S1024 和 S256,高

速测量时也可保持参考斜率比信号斜率陡 25%。

积分器

由于积分器压摆率(最陡的那个斜率)接近放大器的压摆率,积分运算放大器非线性问题突出。两个因素决定积分器的压摆率:注入积分器的总电流和积分电容的容量。要想积分器压摆率小于 $10\text{V}/\mu\text{s}$,积分电容约为 330pF ,这个电容器必须具有很小的介电吸收。

积分电路必须对参考电流的变化作出响应,并在下一次开关瞬变之前建立到接近 0.01% (约 200ns)。还必须具有低的电压、电流噪声, $100\text{V}/\mu\text{s}$ 的压摆率,直流增益不低于 $25\,000$,失调电压小于 5mV ,偏置电流小于 10nA ,为实现这些指标,采用传统的放大器设计即可。

电阻网络

对电阻网络有几个要求,最重要的是具有最低的

比率跟踪温度系数。这是因为 ADC 的增益取决于信号输入电阻对上斜参考斜率电阻的比率。ADC 总温度系数为 $0.4\text{ppm}/^\circ\text{C}$,就是这样的温度系数,温度每变化 0.1°C ,满刻度 $8\frac{1}{2}$ 位测量时仍会引起 5 个字的变化(自动校准可将增益稳定性提高到 $>0.15\text{ppm}/^\circ\text{C}$)。

对电阻网络的另一要求是具有足够低的绝对温度系数,不致因电阻的自身发热引起非线性。例如, $50\text{k}\Omega$ 输入电阻,输入电压从 $+12\text{V}$ ~ -12V ,在 $0\sim 12\text{V}$ 输入间就有 2.88mW 的功率差。如因此使 $50\text{k}\Omega$ 电阻阻值改变,就会造成 ADC 的非线性。具有绝对温度系数 $1\text{ppm}/^\circ\text{C}$ 的电阻,温度变化 0.01°C , $8\frac{1}{2}$ 位测量时将造成 1 个字误差。HP3458A 的 ADC 用的电阻网络,没有可测到的自身发热非线性。

对电阻网络的最后一个要求是在 HP3458A 的使用期内保持 6 个积分斜率的比率不变,为获得高速测量时的线性,对比率误差提出最严格的要求,约为 0.1% 。为获得 ADC $8\frac{1}{2}$ 位测量时的差动线性 0.02ppm ,只要求比率误差为 3% 即可。

开关

ADC 最关注的设计目标就是控制输入和斜率切换的开关。由于这些开关都与电阻串联,就可能附加温度

系数给 ADC。采用传统的设计方法,可使每个开关接通时导通电阻为所需的标定值。此时 ADC 只对开关的比率跟踪温度系数敏感,而对绝对温度系数不敏感。传统设计的另一优点是,刚好在对开关驱动之前将控制信号锁定。这使控制信号与时钟同步,减小开关响应的抖动,减小 ADC 的噪声。

性能

ADC 的性能指标受几个非理想特性的限制。分辨率受差分线性或噪声的限制,尽管转换出的数值能给出很高的分辨率。例如,HP3458A 的 ADC 可给出 $9\frac{1}{2}$ 位以上的计数值,但因第 9 个数已具很大噪声,差分线性约为 $1/1\times 10^5$,因此只取 $8\frac{1}{2}$ 位。所以当提到 ADC 的速度和分辨率时,应强调说明这些指标在什么情况下是有效的,图 9 给出 HP3458A 的 ADC 速率对分辨率的

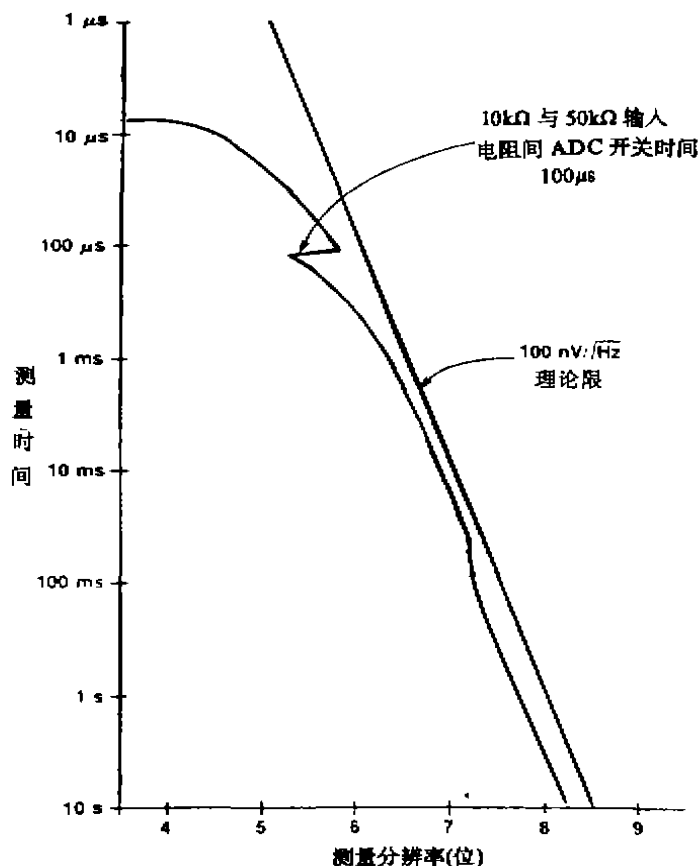


图 9 HP3458A ADC 速度对分辨率关系

关系曲线,假定 RMS 噪声小于 1 字。

噪声电平一经给定,在给定速度下,ADC 的分

辨率就存在理论上的极限。在积分时间 T 内, 输出信号的白噪声带宽为: $BW = 1/2T$, 如下斜积分时间为零, 则积分式 ADC 应每 T 秒取样一次, 在这个速度上, 受噪声限制的 ADC 最高转换位数为:

$$M = (V_{is} \sqrt{2T}) / V_n$$

式中 V_{is} 为 ADC 的满刻度输入电压。

V_n 为 ADC 的白噪声, 即 $V/\sqrt{\text{Hz}}$ 。

图 9 表示 ADC 的 RMS 噪声为 $100\text{nV}/\sqrt{\text{Hz}}$, 满刻度输入为 10 伏时的最佳理论分辨率。HP3458A 由于白噪声为 $130\text{nV}/\sqrt{\text{Hz}}$, 接近 $7\frac{1}{2}$ 位分辨率, 所以接近 ADC 的理论极限。在较低分辨率下, ADC 的下斜时间占有总测量时间的大部分, 从而使 ADC 脱离理论限。在更高的分辨率下, 为了将噪声减小到 $8\frac{1}{2}$ 位量级, 必须在一个测量周期内进行几次零测量, 这是由 ADC 的 $1/f$ 噪声所致, 但这也减小了测量速度。

评论 ADC 性能的另一方法是画出分辨率对测量速度的曲线。测量时间是积分时间, 即上斜积分时间。曲线在图 10 中给出, 同时给出 $100\text{nV}/\sqrt{\text{Hz}}$ 噪声限的分辨率, 还画出不考虑噪声时 ADC 的分辨率。测量时间较小时, HP3458A 的分辨率小于理论噪声限, 因为检测下斜最终过零点时, 噪声会限制分辨率。因此这种算法要达到理论分辨率是不可能的。

线性

高分辨率下的线性是 ADC 设计的主要难点之一。自动校准技术要求积分线性达到 0.1ppm, 差分线性达到 0.02ppm。最主要问题之一是实现积分线性, 而最适用的线性器件是 Kelvin-Varley 分压器, 其最高指标是输入量的 0.1ppm。图 11 将 Kelvin-Varley 指标与 ADC 的要求相比较, 结果表明, 指标是不充分的。

使用低热电势开关, 对理想直线的任何偶次偏离都可通过循环测试检测出来。循环测试分 3 步进行: (1) 测量并消除任何失调; (2) 测量电压; (3) 改变电压极性并重新测量。任何偶次误差都会产生所测到的两个非零电压的幅度差。这种方法可以测到 10 伏信号的 0.01ppm。此时我们只检测到奇次误差。幸好美国国家标准局已找到约瑟逊 (Josephson) 结阵列, 此阵列能产生 $-10\text{V} \sim +10\text{V}$ 的电压。使用 10 伏阵列, 我们可测出偶次和奇次误差, 可信度为点零几 ppm。图 4a 表示用约瑟逊结阵

列测到的 HP3458A 积分线性误差, 在零伏的一个小间隔内可以明显看出差分线性, 此时需要一个可变电压源, 线性要求是 100mV 时可达 1ppm, 以便产生 10 伏电压的 0.01ppm 的输出。

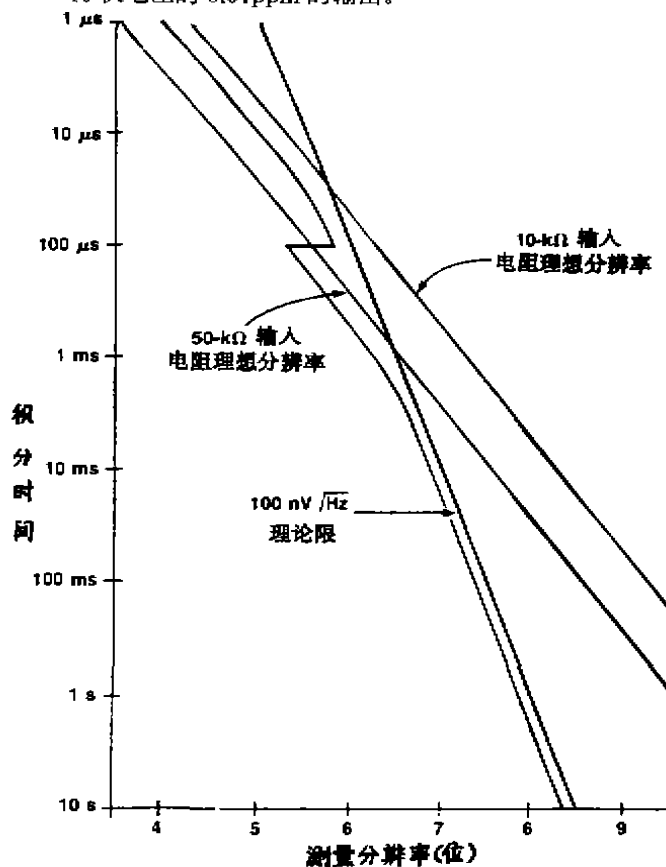


图 10 HP3458A ADC 上斜积分时间与分辨率关系

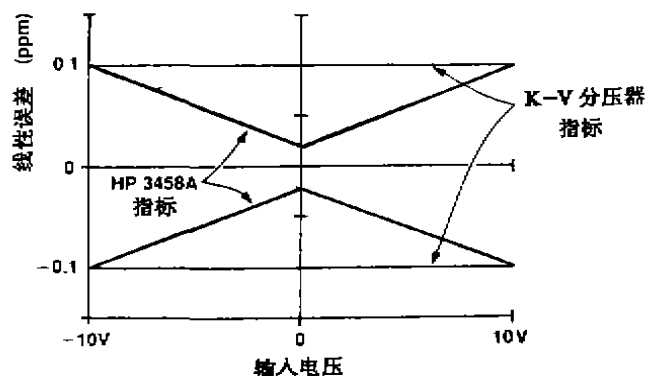


图 11 HP3458A 线性指标（与 K-V 分压器比较）

译自 HEWLETT-PACKARD JOURNAL
April 1989 Volume 40, Number 2

* 1: 疑为 1.2mA; * 2 疑为 1.92μA